

高速 PCB 设计中的串扰分析与控制

物理分析与验证对于确保复杂、高速 PCB 板级和系统级设计的成功起到越来越关键的作用。本文将介绍在信号完整性分析中抑制和改善信号串扰的方法，以及电气规则驱动的高速 PCB 布线技术实现信号串扰控制的设计策略。

当前，日渐精细的半导体工艺使得晶体管尺寸越来越小，因而器件的信号跳变沿也就越来越快，从而导致高速数字电路系统设计领域信号完整性问题以及电磁兼容性方面的问题日趋严重。信号完整性问题主要包括传输线效应，如反射、时延、振铃、信号的过冲与下冲以及信号之间的串扰等，其中信号串扰最为复杂，涉及因素多、计算复杂而难以控制。所以今天的电子产品设计迫切需要区别于传统设计环境、设计流程和设计方法的全新思路、流程、方法和技术。

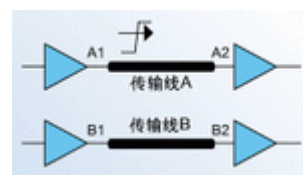
EDA 技术已经研发出一整套高速 PCB 和电路板级系统的设计分析工具和方法学，这些技术涵盖高速电路设计分析的方方面面：静态时序分析、信号完整性分析、EMI/EMC 设计、地弹反射分析、功率分析以及高速布线器。同时还包括信号完整性验证和 Sign-Off，设计空间探测、互联规划、电气规则约束的互联综合，以及专家系统等技术的提出也为高效率更好地解决信号完整性问题提供了可能。信号完整性分析与设计是最重要的高速 PCB 板级和系统级分析与设计手段，在硬件电路设计中扮演着越来越重要的作用，这里将讨论信号完整性问题中的信号串扰。

串扰解决方案

信号之间由于电磁场的相互耦合而产生的不期望的噪声电压信号称为信号串扰。串扰超出一定的值将可能引发电路误动作从而导致系统无法正常工作。解决串扰问题可以从以下几个方面考虑：

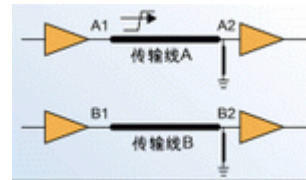
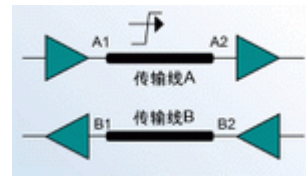
a. 在可能的情况下降低信号沿的变换速率

通常在器件选型的时候，在满足设计规范的同时尽量选择慢速的器件，并且避免不同种类的信号混合使用，因为快速变换的信号对慢变换的信号有潜在的串扰危险。



b. 采用屏蔽措施

为高速信号提供包地是解决串扰问题的一个有效途径。然而，包地会导致布线量增加，使原本有限的布线区域更加拥挤。另外，地线屏蔽要达到预期目的，地线上接地点间距很关键，一般小于信号变化沿长度的两倍。同时地线也会增大信号的分布电容，使传输线阻抗增大，信号沿变缓。

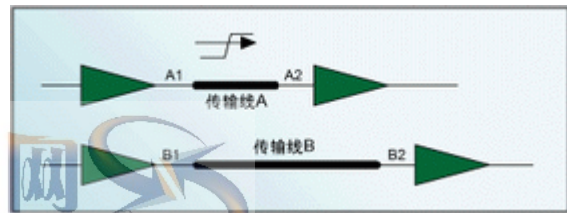


c. 合理设置层和布线

合理设置布线层和布线间距，减小并行信号长度，缩短信号层与平面层的间距，增大信号线间距，减小并行信号线长度(在关键长度范围内)，这些措施都可以有效减小串扰。

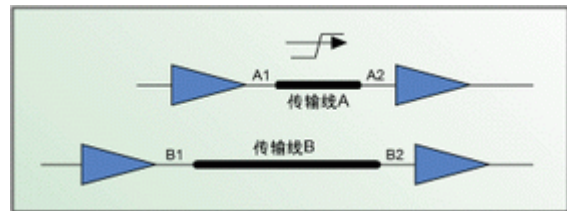
d. 设置不同的布线层

为不同速率的信号设置不同的布线层，并合理设置平面层，也是解决串扰的好方法。

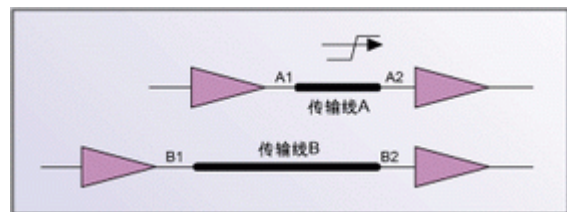


e. 阻抗匹配

如果传输线近端或远端终端阻抗与传输线阻抗匹配，也可以大大减小串扰的幅度。



串扰分析的目的是为了在 PCB 实现中迅速地发现、定位和解决串扰问题。一般的仿真工具与环境仿真分析与 PCB 布线环境互相独立，布线结束后进行串扰分析，得到串扰分析报告，推导出新的布线规则并且重新布线，再分析修正，这样设计的反复比较多。



以图 1 到图 6 的 6 组串扰仿真案例进行分析，受害网络与侵害网络上的驱动器与负载完全一样，信号线线宽、间距、并行长度也都一样，也就是说它们控制串扰的物理规则完全一样：图 1 中侵害网络与受害网络两个信号线方向相同，始终并行；图 2 中两个信号线方向相反，始终并行；图 3 中两个信号线方向相同，始终并行，信号线实施末端匹配；图 4 中两个信

号线方向相同，串扰发生源端位置；图 5 中两个信号线方向相同，串扰发在中间位置；图 6 中两个信号线方向相同，串扰发在末端位置。

通过仿真分析可以看到，实际的串扰结果都不相同，并且差距很大。因此，一个好的工具应该不仅能够分析串扰，并且能够应用串扰规则进行布线。另外，一般的布线工具仅限于物理规则驱动，对控制串扰的布线只能通过设定线宽和线间距，以及最大并行走线长度等物理规则来约束。采用信号完整性分析和设计工具集 ICX 可以支持真正意义上的电气规则驱动布线，其仿真分析和布线在一个环境下完成，在仿真时可以设定电气规则和物理规则，在布线的同时自动计算过冲、串扰等信号完整性要素，并根据计算的结果自动修正布线。这样的布线速度快，而且真正符合实际的电气性能要求。

串扰控制的信号完整性设计

高速 PCB 设计规则通常分两种：物理规则和电气规则。所谓物理规则是指设计工程师指定基于物理尺寸的某些设计规则，比如线宽为 4Mil，线与线之间的间距为 4Mil，平行走线长度为 4Mil 等。而电气规则是指有关电特性或者电性能方面的设计规则，如布线延时控制在 1ns 到 2ns 之间，某一个 PCB 线上的串扰总量小于 70mV 等等。

定义清楚了物理规则和电气规则就可以进一步探讨高速布线器。目前市场上基于物理规则(物理规则驱动)的高速布线器有 AutoActive RE 布线器、CCT 布线器、BlazeRouter 布线器和 Router Editor 布线器，实际上这些布线器都是物理规则驱动自动布线器，也就是说这些布线器只能够自动满足设计工程师指定的物理尺寸方面的要求，而并不能够直接受高速电气规则所驱动。

电气规则直接驱动的高速布线器对于确保高速设计信号完整性来说非常重要，设计工程师总是最先得到电气规则而且设计规范也是电气规则，换句话说我们的设计最终必须满足的是电气规则而不是物理规则，最终的物理设计实现满足设计的电气规则要求才是最本质的。物理规则仅仅是元器件厂商或者是设计工程师自己对电气规则作的一种转换，我们总是期望这种转换是对等的，是一一对应的。而实际情况并非如此。

以采用 LVDS 芯片来完成高速率(高达 777.76Mbps)、长距离(长达 100M)的数据传输为例，由于 LVDS 技术的信号摆幅是 350mV，那么通常的设计规范总是要求信号线上总的串扰值

应该小于等于信号摆幅的 20%，也就是串扰的总量最大为 $350\text{mV} \times 20\% = 70\text{mV}$ ，这就是电气规则，其中 20% 的百分比取决于 LVDS 的噪声容限，可以从参考手册上获得。

对于 IS_Synthesizer 来说，设计工程师只要指定该 LVDS 信号线上的串扰值大小，布线时就能够自动调整和细化来确保满足电性能方面的要求，在布线过程中会自动考虑周围所有信号线对该 LVDS 信号的影响。而对基于物理规则驱动的布线器来说，首先需要进行一些假想的分析和考虑，设计工程师总是认为信号之间的串扰仅仅取决于平行信号之间并行走线的长度，所以可以在高速电路设计的前端环境中做一些假想的分析，比如可以假定并行走线的长度是 2.5mil，然后分析它们之间的串扰，这个值可能并不是 70mV，但是可以根据得到的结论来进一步调整并行走线的长度，假如恰好当并行走线的长度是某一个确定的值如 7mil 时信号之间的串扰值基本上就是 70mV，那么设计工程师就认为只要保证差分线对并行走线的长度控制在 7mil 范围以内就能够满足这样的电气特性要求(信号串扰值控制在 70mV 以内)，于是在实际的物理 PCB 布局布线时设计工程师就得到了这样一个高速 PCB 设计的物理规则，常规的高速布线器都可以确保满足这种物理尺寸方面的要求。

这里会存在两个问题：首先，规则的转换并不等同，首先信号之间的串扰并非唯一由并行信号之间走线的长度来决定，还取决于信号的流向、并行线段所处的位置，以及有无匹配等多种因素，而这些因素可能很难预料，甚至不可能在实际的物理实现之前充分地进行考虑。所以经过这样的转换之后，并不能够确保在满足这些物理规则的情况下，同时能够满足原始的电气规则。这也是为什么上述的这些高速布线器在满足规则的情况下，PCB 系统仍然不能正常工作的很重要的一个原因。其次，在这些规则转换时几乎不可能同时考虑多方面的影响，如在考虑信号串扰时很难同时考虑到周围所有相关信号线的影响。这两方面的情况就决定了基于物理规则的高速布线器在高速、高复杂度的 PCB 系统设计中将存在很大的问题，而真正基于电气规则驱动的高速 PCB 布线器就较好地解决了这方面的问题。

本文小结

高速 PCB 板级、系统级设计是一个复杂的过程，包括信号串扰在内的信号完整性问题带来设计观念、设计思路、设计流程以及设计手段的变革。确保在高速系统设计中迅速发现问题、解决问题，并且指导在新的设计中预防问题的出现已经成为今天高速系统设计的主流。

作者：肖跃龙 李保龙

工程师 AcconSys 公司

Email: frankx@acconsys.com

