

基于S3C4510B ARM的嵌入式系统硬件开发

◆北京微芯力科技有限公司



主要内容

- 一、硬件开发工具
- 二、ARM最小系统
- 三、硬件设计概述(S3C4510B)
- 四、硬件电路设计
- 五、硬件设计注意事项

一、硬件开发工具

ARM的硬件开发工具主要包括两类仿真器：

❖ JTAG仿真器

❖ 全功能在线仿真器。



全功能在线仿真器

对于全功能在线仿真器来说，由于其仿真头完全取代目标板上的CPU，因而功能非常强大。但这类仿真器为了能够全速仿真时钟速度高于100MHz的处理器，通常必须采用极其复杂的设计和工艺，因而其价格比较昂贵。Lauterbach公司的TRACE32-Fire就是这类产品的佼佼者。

JTAG仿真器

利用ARM处理器中的调试模块的功能，通过其JTAG边界扫描口来与仿真器连接。这种方式的仿真器比较便宜，连接比较方便。但由于仅通过十几条线来调试，因而功能有一定局限。

- ❖ JTAG接口同JTAG仿真器硬件连接，利用相应的调试工具观察CPU状态
- ❖ 确定CPU与调试工具可以正常通信
- ❖ 调试工具可以检查和控制CPU的运行

JTAG20接口定义

Vsupply	1	2	RES
RES	3	4	GND
TDI	5	6	GND
TMS	7	8	GND
TCK	9	10	GND
RES	11	12	GND
TDO	13	14	GND
nSRST	15	16	GND
RES	17	18	GND
RES	19	20	GND

JTAG14接口定义

Vsupply	1	2	RES
nSRST	3	4	GND
TDI	5	6	GND
TMS	7	8	GND
TCK	9	10	GND
TDO	11	12	GND
RES	13	14	GND

设置（配置）MMU

- ❖ 利用调试工具正确配置MMU
- ❖ 尝试访问RAM区
- ❖ 检查数据总线与地址总线的正确性

二、ARM最小系统

最小ARM硬件系统，包括：

- ❖ 电源、
- ❖ CPU芯片，晶振、
- ❖ 存储器（外部的或者内部的）
- ❖ JTAG调试接口。

一般，为了直观，可以连接一两只LED管，指示CPU的工作状态。

三、硬件设计概述 (S3C4510B结构)

- 嵌入以太网的集成系统的应用
- 完全的16/32位精简指令集结构
- 支持小/大端模式
- 高效 ARM7TDMI内核
- 低成本的基于 JTAG调试解决方案

结构Architecture

- 大小端转换
- 以太传输速度 100/10-Mbit/s
- 兼容 IEEE 802.3
- MII and 7-wire 10-Mbps 接口
- 片上 CAM (up to 21 destination addresses)
- 具有暂停特征的全双工模式

S3C4510B框图

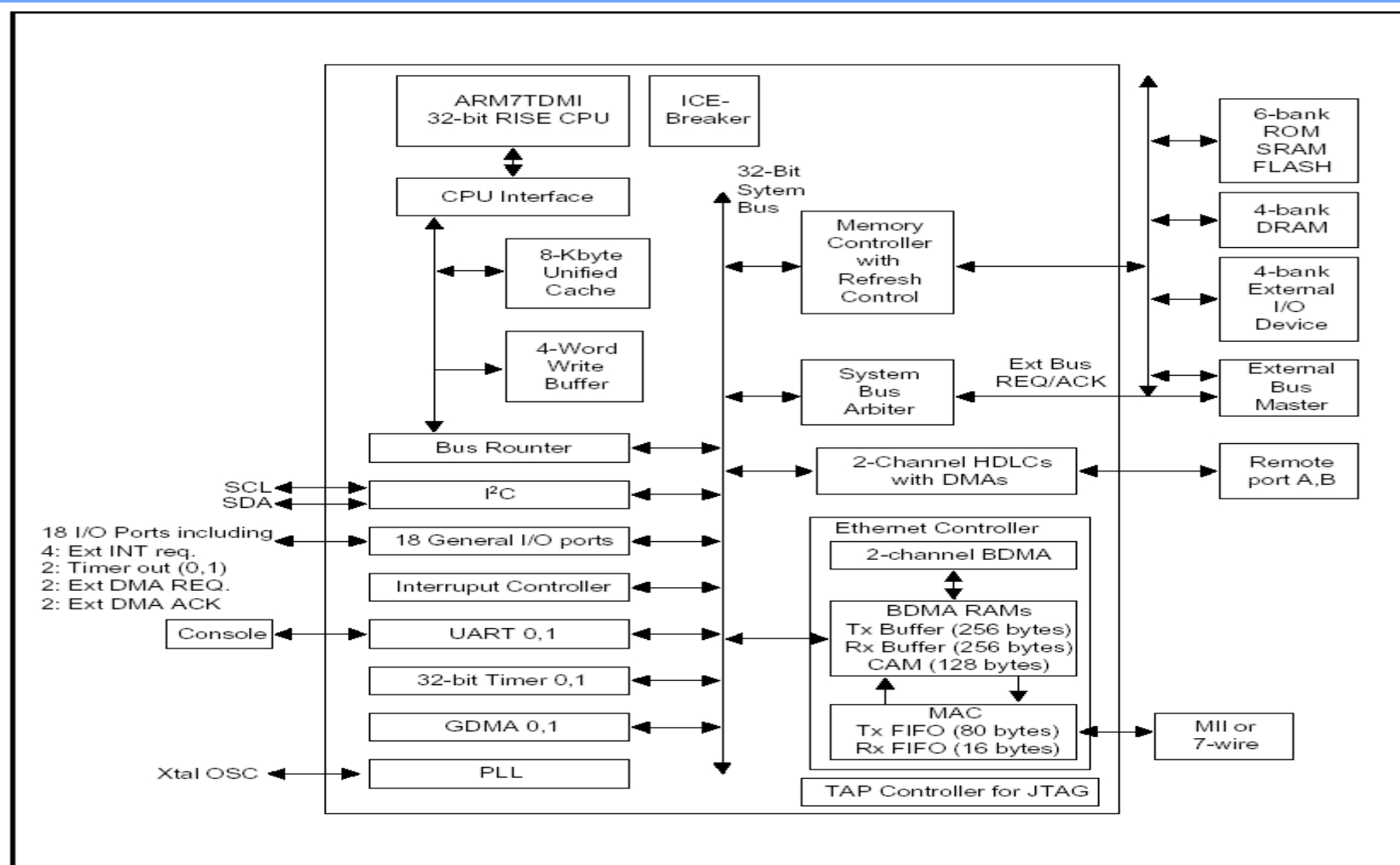


Figure 1-1. S3C4510B Block Diagram

系统管理 **System Manager**

- 支持 8/16/32位的ROM/SRAM, FLASH, DRAM, 和外部 I/O总线
- 外部总路线主模式具有总路线请求和回答管脚
- 支持EDO/normal、 SDRAM
- 可编程的存取周期 (0-7 wait cycles)
- 四个字深度的写缓冲
- 具有低成本的内存到外围DMA接口

高级数据链路控制器 HDLCs

- 具有HDLC 协议特征
- 地址搜寻模式 (expandable to 4 bytes)
- 可选择的 CRC 或非 CRC 模式
- 可预设置的自动CRC 发生器

高级数据链路控制器 HDLCs

- 具有可时钟恢复的数字PLL模块
- 波特率发生器
- NRZ/NRZI/FM/Manchester data formats for Tx/Rx
- 环绕和自显模式 auto-echo modes
- 8字深度的Tx/Rx FIFOs
- 可选的1-word 或 4-word 数据发送模式
- 数据对齐逻辑

高级数据链路控制器 HDLCs

- 端式转换
- 可编程的中断
- Modem 接口
- 传输速度可达到10 Mbps
- 八字节的HDLC帧
- 在每个HDLC中有两通道DMA 缓冲
用于Tx/Rx

IIC 串行接口 IIC Serial Interface

- 仅有主模式操作
- 用于串行时钟发生器的波特率发生器

以太网控制器 **Ethernet Controller**

- 具有猝发（burst）模式的DMA引擎
- DMA Tx/Rx 缓冲(256 字节Tx, 256 字节Rx)
- MAC Tx/Rx FIFO 缓冲(80 字节Tx, 16 字节Rx)

以太网控制器 Ethernet Controller

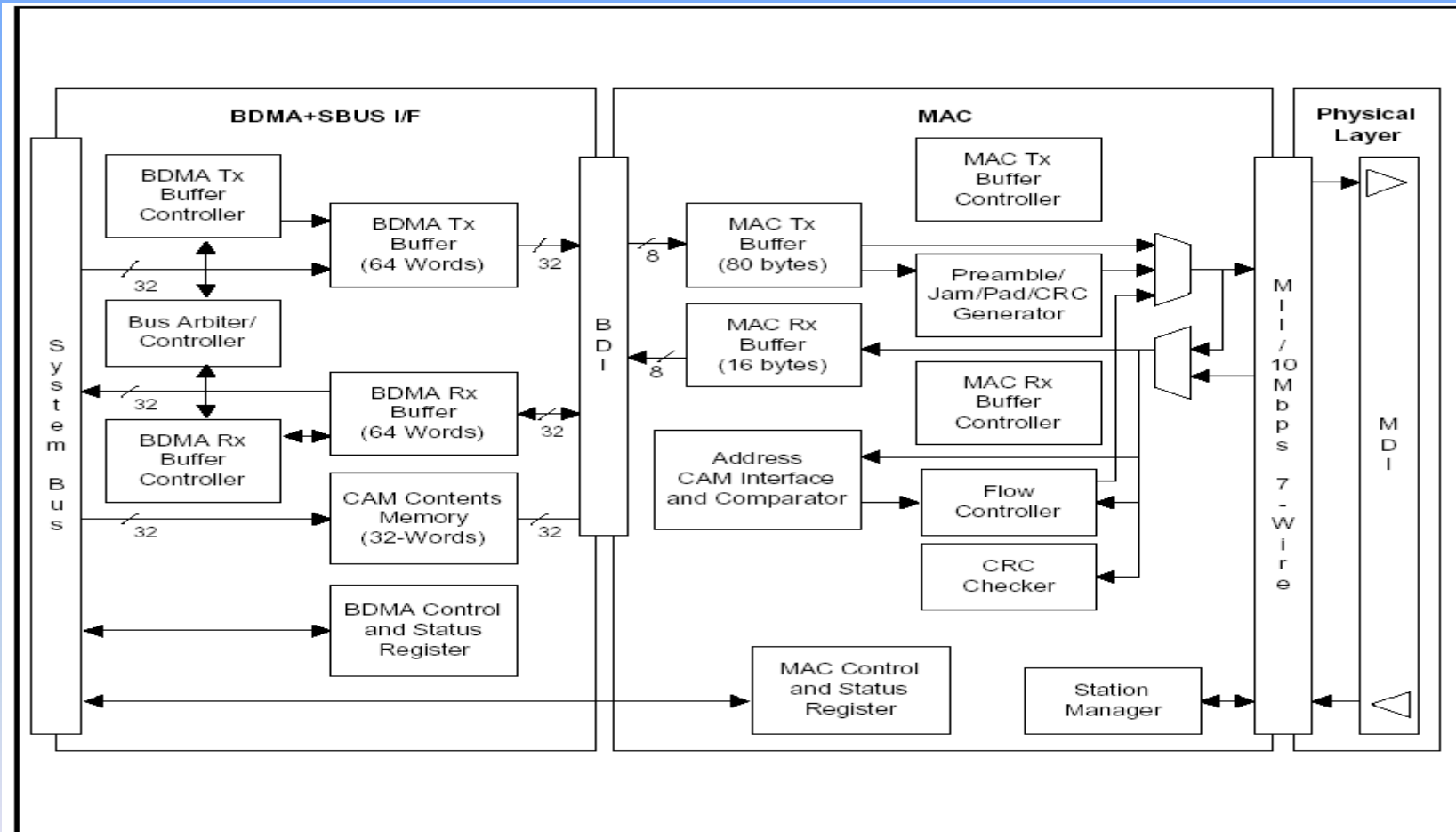


Figure 7-1. Ethernet System Flow Control

直接存储器控制器 **DMA Controller**

- 具有两通道的通用DMA ，用于内存到内存，内存到UART，UART到内存的数据传输

通用异步串行控制器 **UARTs**

- 两个基于DMA 或中断操作的UART (serial I/O) 模块
- 支持5-bit, 6-bit, 7-bit, or 8-bit 串行数据发送和接收
- 可编程的波特率
- 支持红外 (IrDA) 的 Tx/Rx

可编程的I/O口 Programmable I/O

- 18可编程的I/O口
- 根据应用可将I/O管脚分别配置为输入、输出或专用I/O口模式

中断控制器 **Interrupt Controller**

- 21个中断源，包括4个外部中断源
- 正常或快速中断模式 (IRQ, FIQ)
- 优化中断处理

中断控制器 Interrupt Controller

Table 13-1. S3C4510B Interrupt Sources

Index Values	Interrupt Sources
[20]	I ² C-bus interrupt
[19]	Ethernet controller MAC Rx interrupt
[18]	Ethernet controller MAC Tx interrupt
[17]	Ethernet controller BDMA Rx interrupt
[16]	Ethernet controller BDMA Tx interrupt
[15]	HDLC channel B Rx interrupt
[14]	HDLC channel B Tx interrupt
[13]	HDLC channel A Rx interrupt
[12]	HDLC channel A Tx interrupt
[11]	Timer 1 interrupt
[10]	Timer 0 interrupt
[9]	GDMA channel 1 interrupt
[8]	GDMA channel 0 interrupt
[7]	UART 1 receive and error interrupt
[6]	UART 1 transmit interrupt
[5]	UART 0 receive and error interrupt
[4]	UART 0 transmit interrupt
[3]	External interrupt 3
[2]	External interrupt 2
[1]	External interrupt 1
[0]	External interrupt 0

锁相环 PLL

- 外部时钟通过PLL 倍频到系统所需的时钟
- 输入时钟频率为10–50 MHz
- 输出时钟频率为输入时钟频率的0至5倍

工作环境

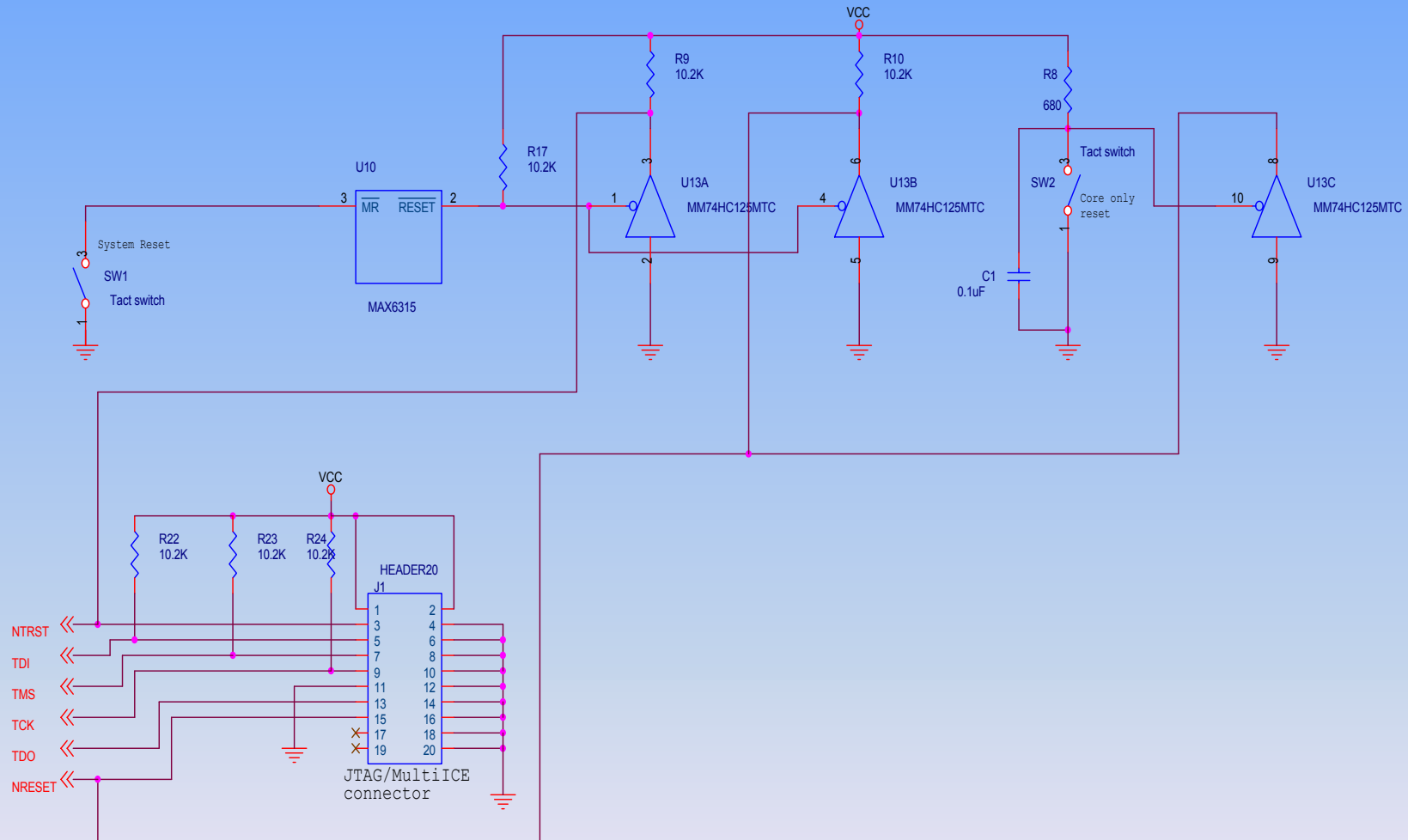
工作电压范围 $3.3\text{ V} \pm 5\%$

工作温度范围 $0\text{ }^{\circ}\text{C}$ to $+70\text{ }^{\circ}\text{C}$

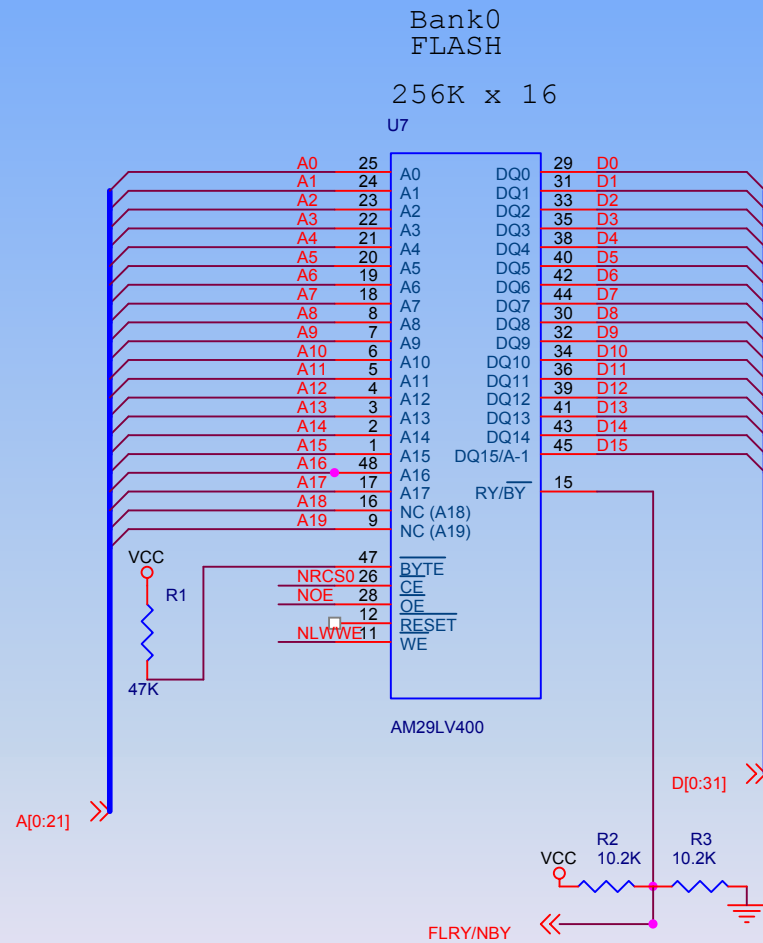
工作频率 Up to 50 MHz

封装类型 208-Pin QFP

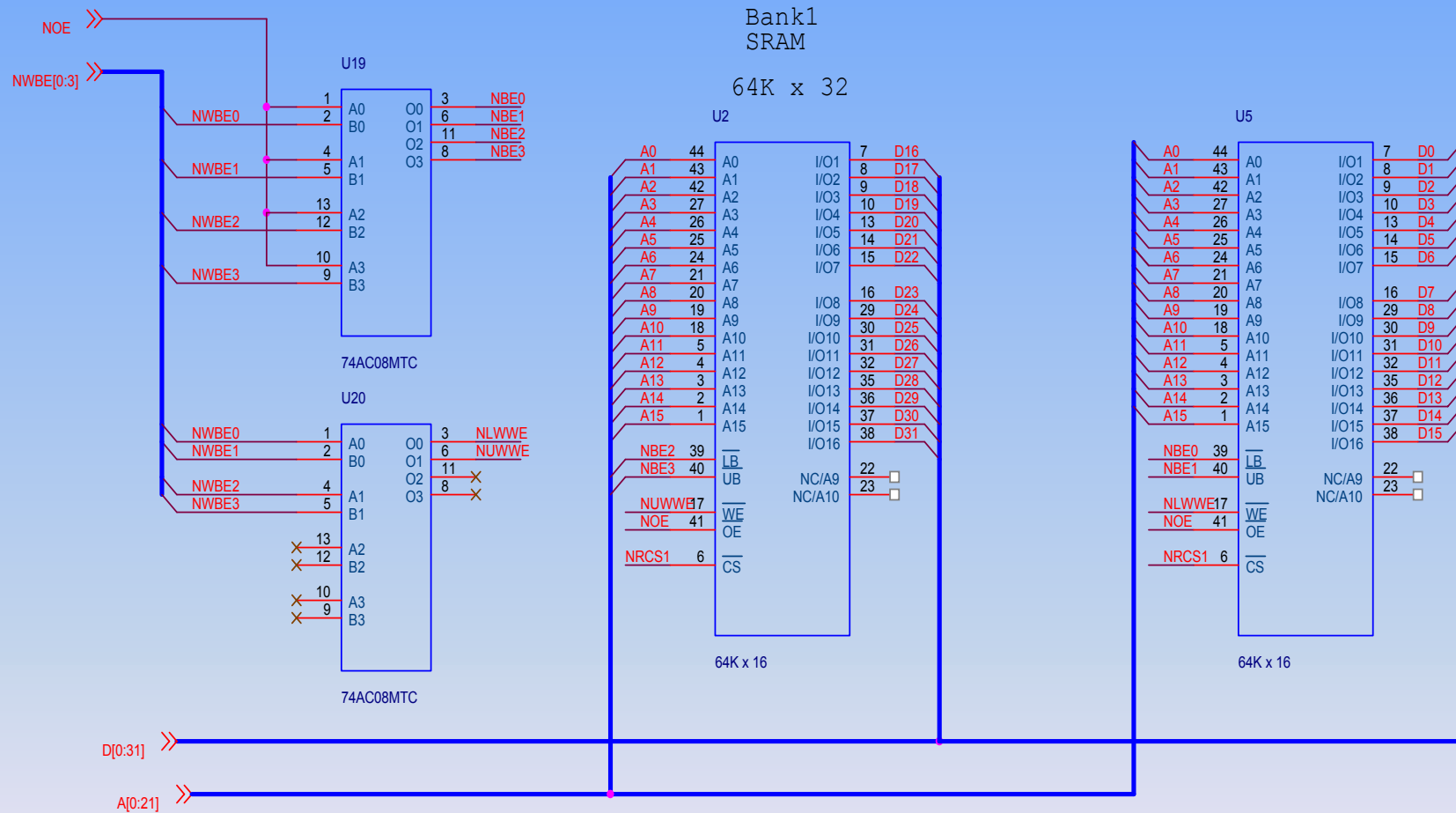
四、系统复位部分的设计



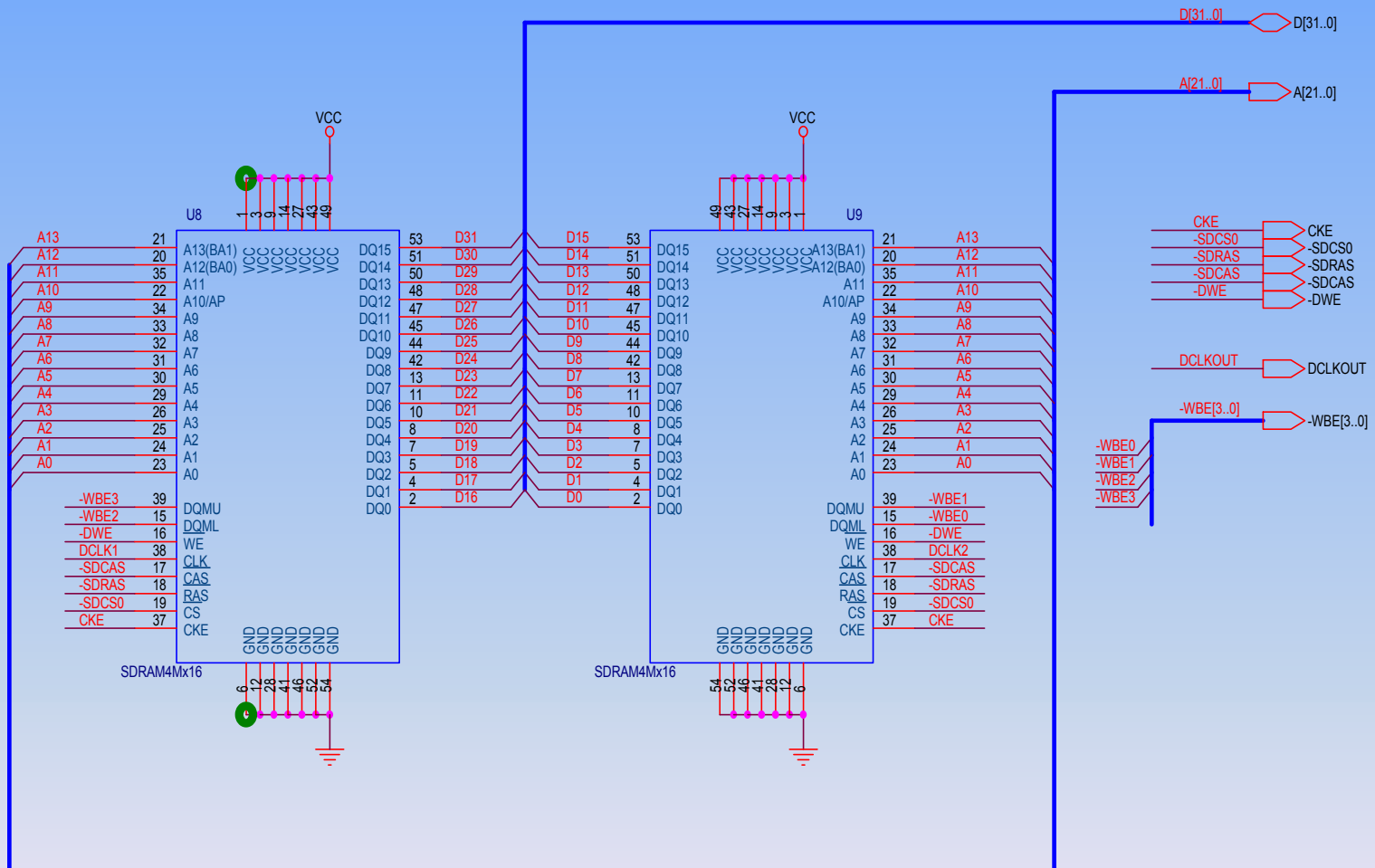
FLASH部分的设计



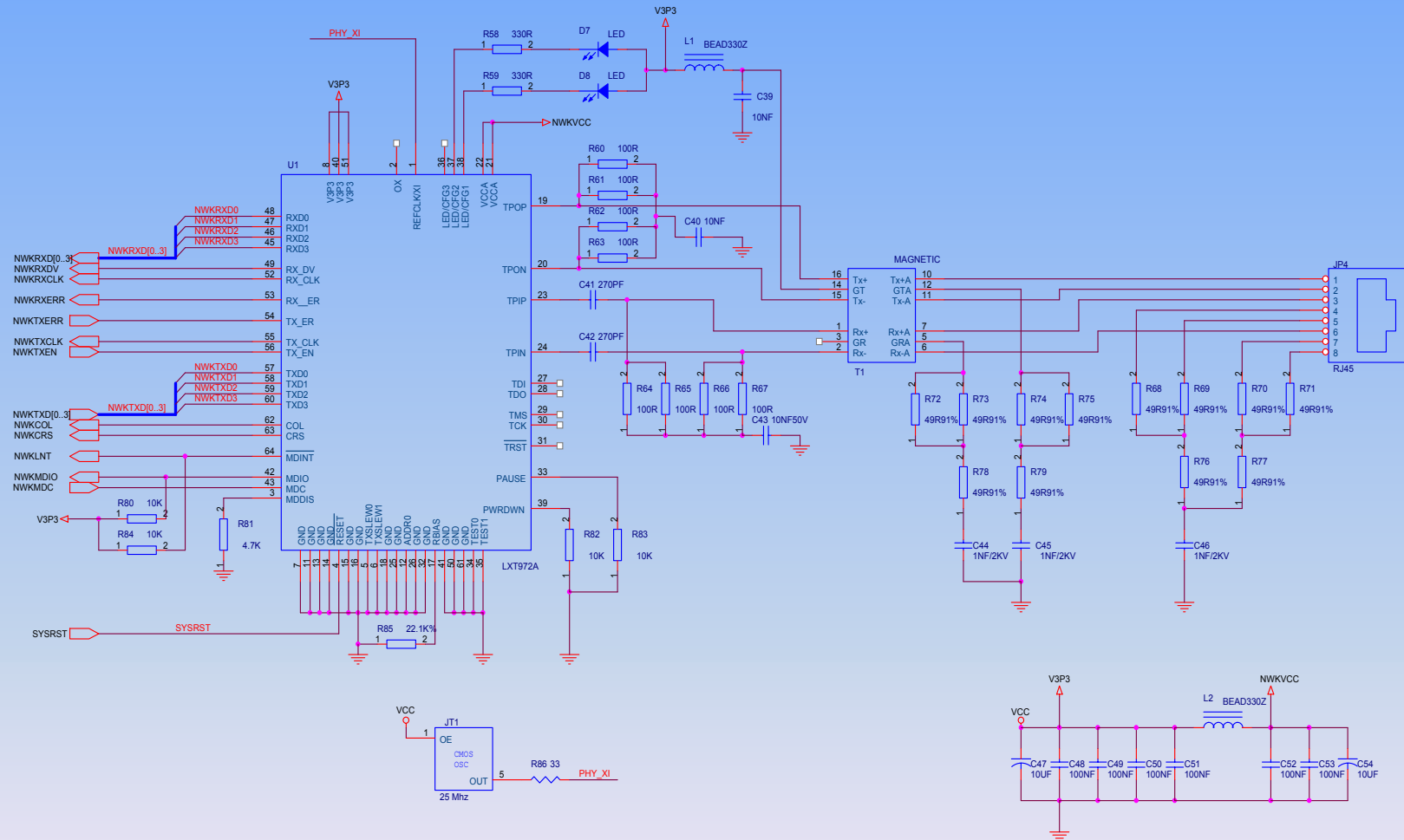
SRAM部分的设计



SDRAM部分的设计



以太网部分的设计



键盘和LCD部分的设计

五、硬件设计注意事项（一）

- ❖ CPU复位信号的处理
- ❖ 模式管脚的正确连接
- ❖ JTAG复位信号的上拉
- ❖ JTAG输入信号的上拉
- ❖ 信号串扰

硬件设计注意事项（二）

- ❖ 多电平电源的设计
- ❖ 外部器件的接口电平
- ❖ 存储器总线接口
- ❖ 存储器等待时间nWAIT

谢谢大家！！