

改善 ADC 性能的方案

为 ADC 提供一个干净的模拟输入信号并不能保证可得到一个干净的数字输出信号。这是因为接地管脚、电源管脚和参考电压管脚都可能成为 ADC 的“输入”，会引入噪声和其它不期望的信号，从而对 ADC 的输出造成破坏性影响。接地、电源和参考点的旁路以及对模拟和时钟输入的驱动是几种可用来防止数据被破坏的技术。

信号的接地

图 1 说明了 LTC1410 的接地技术，LTC1410 是一种 1.25MSPS、12 位的 ADC，包括接地线的使用。所有的旁路电容、参考电容和 ADC 的接地都与模拟地相连。它们必须尽量靠近以减小对于流入地线的电流的灵敏度。输入信号电路、滤波电容和运算放大器旁路电容(未示出)的接地端要靠近 ADC。

为了不来自数字元件的噪声进入模拟地，设计电路板时，应将模拟地和数字地分开(图 1 示出了一种双层的电路板布局，若有更多的层可用，可采用单独的层分别作为模拟地和数字地)。所有带噪声的数字逻辑器件必须接数字地。ADC(甚至数字型 ADC)的所有接地端和旁路电容都应连接到模拟地线上。仅在一点上将模拟地和数字地连接到一起以避免数字电流直接短路到模拟地。在单个 ADC 的系统中，这个连接点是 ADC

某些因素对于高性能模数转换器(ADC)的数据输出有破坏性影响。在各种解决方案中，采用合适的接地技术并选择适当的运算放大器来驱动 ADC，能确保获得良好的 ADC 输出。

Willie Rempfer

设计部经理

Linear Technology Corp.

的数字输出驱动接地脚(或数字接地脚)。在具有多个 ADC 的系统中，如果不在接地线之间建立两个或更多的连接点是无法进行这种连接的。在这种情况下，就要另外使用一个连接点

(例如在电源处)。无论何种情况，都应确保只使用一个连接点。

电源旁路

在 ADC 中得到高转换率要求对电源

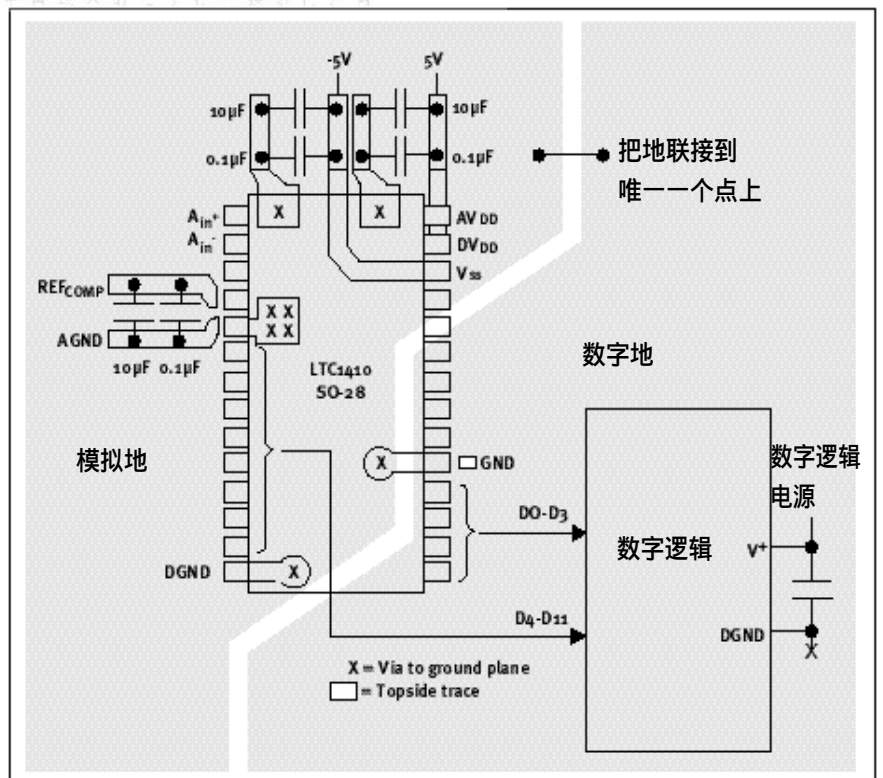


图 1: 依照所描述的接地信号技术，电源旁路和参考点旁路能减少噪声，可得到高转换率并改善 ADC 的差动非线性。

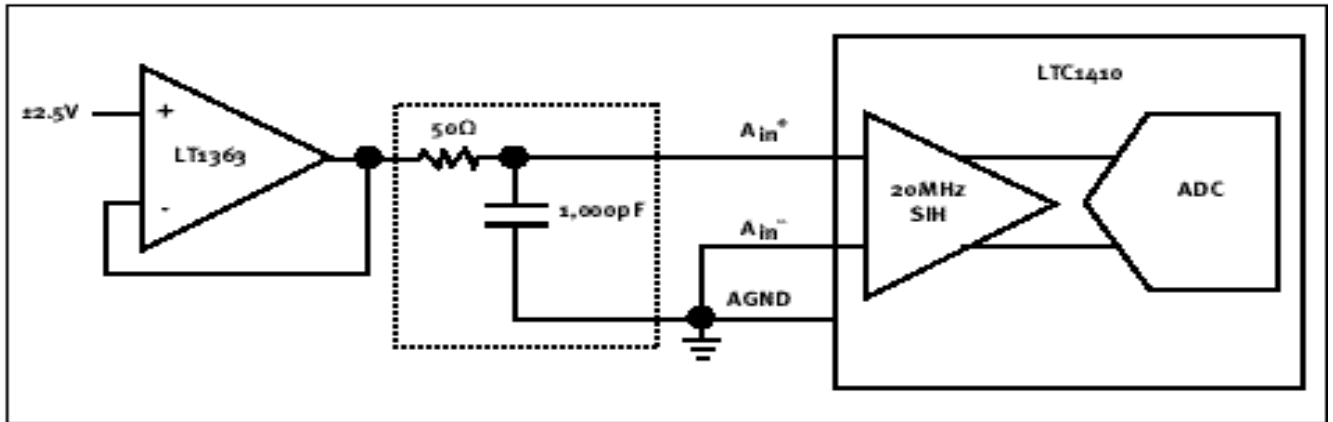


图2：利用一个简单的滤波器可防止转换器从输入信号中采集宽带噪声。

管脚实行适当的旁路。其关键是ADC和旁路电容之间的低引线电感。目标是强制交流(AC)电流在尽可能短的环路上流动,这个环路从电源管脚经过旁路电容,最后返回接地脚。

在图1中,置放在ADC周围的最基本的元件就是旁路电容,它们应尽量靠近电源管脚。确保电容具有低电感和低等效串联阻抗(ESR)。正确的电源旁路能带来良好的差动非线性(DNL),而不适当的旁路布局能导致DNL显著降低并引起精度下降。

参考点旁路

ADC的模拟参考输入提供了转换的比例因子。干净的数据输出要求无噪声的参考输入。动态电流可能扰乱参考输入,除非用表面贴装的钽电容或陶瓷电容将其适当地旁路掉。要确保旁路电容靠近参考点管脚,并在非常接近ADC模拟地管脚处接地(如图1所示)。弓形误差曲线是参考旁路问题的特征。

这种情况出现的原因在于:对于接近正负满量程的输入信号,参考输入扰动的影晌会最大,但是,对于输入接近零的情况,参考输入扰动却没有影晌。为了保持高精度,应保持导线长度小于1cm。

模拟输入的驱动

开关电容ADC的输入很容易驱动,但在每次转换结束时会拽拉一个小的瞬态输入电流。这种情况发生在内部采样电容切换回到输入端以捕获下一个采样值时。

为了得到精确的结果,在下一次转换开始之前,驱动模拟输入的电路必须从这个瞬态回复稳定下来。通过采用一个能在小于ADC的捕获时间内从负载瞬态中恢复稳定的运算放大器来驱动ADC的办法,可以对其进行调节(大多数运算放大器从负载瞬态恢复的速度比从一个输入阶跃恢复稳定的速度快)。

另一个方法是使用一个输入RC滤波器,它带有较ADC输入电容更大的电容。这个大电容为采样电容充电,它完全消除了电压瞬态现象。

许多新转换器具有较宽的S/H输入带宽。这适于捕获高频输入信号,但对于低输入带宽应用,转换器将会拾取可能出现在输入信号中的任何宽带噪声。为了避免这种情况的发生,应在ADC输入端使用一个滤波器,只让想要的信号通过。

图2所示的简单滤波器将输入信号的频带限制到3MHz,依然允许高

达奈奎斯特(Nyquist)频率(625kHz)的干净采样。

选择运算放大器

驱动高性能ADC(见附栏“管道式ADC和SAR ADC的选择”)需要高性能的运算放大器。现在,性能良好的ADC的噪声和失真已经很低,基本上对运算放大器的性能不再有什么影响,这也增加了运算放大器的选择余地。

高速、电流反馈型运算放大器具有较低的直流(DC)精度,它不能像电压反馈型那样稳定到很高的精度(比如0.01%)。然而对于高速交流(AC)频域应用,它们具有最小的失真和最好的驱动性能。

高速电压反馈型放大器具有良好的精度和稳定性。它们在频域应用中也能较好地工作,但更适于工作在对其直流(DC)精度和稳定性有较高要求的高速、时域或多路复用领域。较慢的运算放大器可能具有较出色的噪声和精度性能,但对于高速应用来说显得太慢,因为当超过其转换能力时将会产生失真。

转换-启动输入的驱动

被不恰当驱动的转换-启动输入可能

管道式 ADC 和 SAR ADC 的选择

根据应用要求来选择 ADC 是很简单的。视频应用要求高速 ADC，如闪速 ADC 等。而 SAR ADC 则适合高分辨率的应用。然而，要在管道式 ADC 和逐次逼近(SAR) ADC 之间进行选择，就不那么简单了。

管道式 ADC 具有高速特性，即使不用全闪速转换器也能提供最快速的转换。然而，其结构却比 SAR 结构要复杂得多。因而使用管道式 ADC 可能会出现一系列问题。

管道式 ADC 包含多个闪速 ADC，因此可能会出现一些只有全闪速 ADC 才会有的闪烁码问题。将内部闪速 ADC 接合在一起也会出现一些误差。

尽管芯片内的校正电路能够对其进行补偿，但参考电压、温度或其它条件的变化可能会扩大这些误差。

此外，管道式 ADC 的级联会引入噪声，从而降低了转换器的信

噪比(SNR)和分辨率(12 位管道式 ADC 仅有 10.3 个有效位，SNR 数值可能低至 64dB)。

管道式 ADC 一般是基于电阻级连网络的，电阻级连网络的非线性可能引起 INL 问题。这些非线性是无法彻底修整或校正的，所以它们始终会降低线性。管道式 ADC 的线性误差最坏可达到 4LSB。

外部元件是另一个要考虑的因素。一些管道式 ADC 要求互补差动输入信号：采用两个相位差为 180° 的信号，这些信号还需要精确的共模电压。这意味着要采用复杂的电平变换电路来控制信号，并需使用变压器。

为各种管道式 ADC 的多个参考引脚提供低阻抗需要增加硬件。一些转换器要求快速的缓冲放大器，而另一些则要求多个旁路电容。除了能产生多个参考电压的额外硬件之外，单个参考电压不再能控制 ADC 的量程。总之，改变 ADC 的满刻度量程需要复杂的电路。

性能问题仍然存在。管道延迟 - 输入采样和 ADC 输出的相应数据之间的反应时间 - 可能高达七个时钟周期。这对于某些应用来说显得太长了，像高速伺服环控制系统或那些要求在每个采样和相应数据之间具有一一对应时间关系的应用。

管道式转换器无法禁用输出总线，它们只能与单个 DSP 或接收逻辑相连，也不能共享总线或将其输出与其它 ADC 的输出进行多路复用。

这可能导致较差的频域性能。一些管道式 ADC 不能同时提供良好的直流(DC)和交流(AC)性能。最后，由于它们比较复杂，并且一般包括几个较大的闪速 ADC，管道式 ADC 需要比 SAR 转换器更大的封装尺寸。

例如，一个 44 脚的 PLCC 的尺寸是一个 28 脚 SSOP 封装的 LTC1412(一种 12 位 SAR ADC)尺寸的两倍。

带来各种各样的转换误差。若 ADC 具有内部时序，转换信号的返回边沿(即与启动转换的信号相反的边沿)如果在转换期间发生跳转，可能会将噪声耦合到转换器中。

为了避免这种情况，需用一个窄脉冲而不是方波进行转换启动。这可确保它要么快速地返回(在采样之后和转换进行之前)，要么在转换完成之后返回。这并不适用于那些从一个时钟输入提取所有时序信号

且要求精确的 50% 占空比时钟输入的 ADC。

一个能引起过冲或阻尼振荡的转换-启动信号也可能使性能降低。若其过冲超过电源最大极限，就会启动 ADC 的输入保护二极管并且会将噪声耦合进转换器中。若出现阻尼振荡，当 ADC 的采样-保持捕获了输入信号时，它可能仍在振动，这将影响转换结果。

通常过冲和阻尼振荡对于设计

得很好的线路板上的 CMOS 逻辑电路并不罕见，但最好还是对其加以重视。

起伏效应

高频或高回速率输入信号对 ADC 又提出了另一个要求：低波瓣起伏(jitter)。波瓣起伏就是两次转换之间 ADC 的波瓣延迟的变量，它在输入采样被获取时是不确定的。ADC 的信噪比由下式决定：

$$\text{SINAD(dB)} = 20\log[1/(2\pi * t_{\text{jitter(rms)}} * f_{\text{input}})]$$

其中:

$$t_{\text{jitter(rms)}} = \text{起伏时间有效值(s)}$$

$$f_{\text{input}} = \text{模拟输入频率(Hz)}$$

如果产生低起伏信号有困难的话,可以采用一个较高的频率时钟启动,因其一般具有较低的起伏。用快速逻辑电路(仍具有较低起伏)分频可得到所希望的采样时钟频率。

数据输出的布线

输出数据总线可能引入显著的数字噪声和耦合。解决的方法是适当地为线路板布局。如果采用如图1所示的将数字和模拟地隔离的布局,自然就会这样走线。ADC中的数字输出驱动切换得很快,若其负载具有很大电容的话,将会产生大的瞬态电流。使接收缓冲器或锁存器尽量靠近ADC可减小这种负载电流。

虽然负载电流有所减小,但仍有一些容性电流存在,控制这些电流向

ADC驱动器的回路是非常重要的。在ADC输出驱动接地脚将数字和模拟地连接到一起(如图1所示)有助于防止这些电流流过模拟地。

如果两种地线是在电源端而不是ADC端连接,那么回流电流将会流经模拟地。在这种情况下,重要的是通过减小数字输出端的容性负载来使这些电流最小。

(工程)

如欲了解更多信息,请联系作者 Willie Rempfer. Fax: 1-408-4289413

