

數位電路設計

✓ 關於高速數位電路的電氣特性，設計重點大略可分為三項：

∅ 正時 (Timing)：

由於數位電路大多依據時脈信號來做信號間的同步工作，因此時脈本身的準確度與各信號間的時間差都需配合才能正確運作，嚴格的控制線長，基板材質等都成為重要的工作。

∅ 信號品質(Signal Quality)：

高速電路已不能用傳統的電路學來解釋。隨著頻率變高，信號線長已逐漸逼近電磁波長，此時諸如傳輸線原理(Transmission Line)的分佈電路 (Distribute circuit) 的概念，需加以引進才能解釋並改進信號量測時所看到的缺陷。

∅ 電磁干擾(EMI)：

需防範電路板的電磁波過強而干擾到其他的電路訊號。

Outline

✓ 傳輸速度的計算

✓ 信號品質

✓ 阻抗不匹配

傳輸速度的計算

就傳輸線a點至b點，我們都必須計算訊號在電路板上的傳導速度才行，但這又和許多係數息息相關，包括導體(通常為銅箔)的厚度與寬度，基板厚度與其材質的電介係數(Permittivity)。尤其以基板的電介係數的影響最大，一般而言，傳導速度與基板電介係數的平方根成反比。以常見的FR-4而言，其電介係數隨著頻率而改變，其公式如下：

$$\epsilon = 4.97 - 0.257 \log$$

以Pentium II 的時脈信號為例，其上升或下降緣速率典型值約在2V/ns，對2.5V的時脈信號而言，從10%到90%的信號水平約需1ns的時間，依公式：

$$BW = 0.35 /$$

可知頻寬為350MHZ。代入公式可知電介係數大約是4.57。

如果傳導的是兩片無窮大的導體所組成的完美傳輸線，那麼傳輸的速度應為5.43 inch/ns。但對電路板這種信號線(Trace)遠比接地層要細長的情況，則可以用微條(Micro strip)或條線(Strip line)的模型來估算。對於走在外層的信號線，以微條的公式：

inch/ns

可得知其傳輸速度約為6.98 inch/ns

對於走內層的信號線，以條線的公式：

inch/ns

可得知其傳輸速度約為5.50 inch/ns

除此之外，也不要忽視貫穿孔(Via)的影響。一個貫穿孔會造成24 ps左右的延遲，舉例而言，時脈產生器到晶片A的時脈線長為12 inch，並打了4個貫穿孔；到B為7 inch，沒有貫穿孔，則兩者之間的時脈歪斜為 $(12-7)/6.98 + (0.024 \times 4) = 0.81$ ns。

信號品質

比起類比信號，數位信號對雜訊的抵抗能力較強，只要電位水平在一定範圍，就能正確判斷出0與1。隨著電路速度愈來愈快，信號品質愈來愈難以確保。信號的過高(Overshoot)，過低(Undershoot)可能造成目標(Target)晶片的損壞，振鈴波(Ring back)與矮化波(Runt)一旦使電

位水平落入0與1之間的灰色地帶，便可能造成0與1的誤判。

阻抗不匹配

▼ 分佈電路

高速電路因操作頻率的升高，波長相對變短。當波長與線路的長度接近到相近的數量級之內時，我們開始必須把信號當成電磁波的波動來看。如傳輸線原理，在信號上昇(下降)緣的變化時間內，信號若未能傳至彼端再反射回來，則需考慮電磁波的效應。以Pentium II時脈產生器的例子而言，它的上昇時間約1ns，在6.98 inch。因此當線長超過3.49 inch時，不以傳輸線的角度來看待這條時脈信號線是不行的。

信號的輸出阻抗為ZG，負載為ZL，傳輸線特性阻抗(Intrinsic Impedance)為Z0，則ZG=Z0=ZL便是阻抗匹配。以負載端而言，當Z0=ZL，所有傳輸線上的能量與信號會完完全全的送至負載端；若不然，便會有部份的能量反射回輸出端。

▼ 阻抗的計算

在高頻的情況下，電阻(R)與電導(G)的因素可被忽略，舉例來說，一般的印而電路板，電感為500nH/m，電容為100pF/m，此時 $Z0 = \sqrt{500\text{nH}/100\text{pF}} = 70.7 \text{ ohm}$ 。

▼ 電流開關雜訊

現代的晶片所耗的電流都十分驚人，因此在內部的功能或信號的開關之間，常引起電源的不穩定。而這種不穩定的問題，可分做兩方面來談：

A. 因為開關的速度太快，使得在遠方的電流供應器無法及時供給適當的能量。此時解決之道是在晶片旁邊擺上電容來供應及時電流。

B. 因為晶片的電源或接地接腳有電感存在，因此在電流突然變化時，在接腳上將有壓差在。在多條資料線從1變為0時，晶片組的接地腳上瞬間流過大量電流而造成的電位差。

此時晶片組接地已不是0伏，而造成信號上出現隆起小丘的現象，稱為觸地反彈(Ground bounce)。其解決方式，是減少接腳的電感，如選擇BGA這種接腳極短的包裝；並在接地處多用幾個貫穿孔連接到地，以並聯減少電感。

▼ 電容擺設位置

以時脈產生器的例子而言，其上昇緣時間為1ns，此段時間內信號行進距離為5.43 inch。要能及時供應電源，一個大約的估算公式是L/12，亦即0.45 inch，或1.15 cm內的電容才能完全發揮作用。超過這個距離，則效用將會減弱。例如，距離成為兩倍的2.3cm，電容的作用將只剩1/8。

▼ 隔線干擾(Cross Talk)

有些訊號，尤其是固定週期訊號的時脈訊號(clock)，帶有強烈的高頻成分。當它與其他的訊號線太靠近時，會將這些已達RF頻率的能量傳到其它的訊號上，帶來EMI的困擾。尤其若是被感染的訊號線接往I/O的連接頭時，這個問題就更加嚴重。

隔線干擾對EMI而言，通常要求信號線對中心對信號線中心的距離，維持3倍信號線寬度的距離，稱為3W法則。

3W法則可保持70%電場不互相干擾，若要達到98%的電場不互相干擾，可使用10W的間距。

▼ 濾波電容與電感

為了去除信號上高頻成分對EMI的不良影響，工程師常在信號線上加上濾波用的電容與電感。通常而言，並聯旁路電容可去除I/O連接頭與信號線上的差動模式(differential-mode) RF電流；串聯電感則可以去除信號線上的共通模式(common-mode) RF電流。

值得注意的是，這些濾波電容與電感除了濾去高頻雜訊外，也會濾去信號的高頻部份，使得信號的上昇時間與下降時間變慢。因此最大多數是應用在信號頻率不高，但EMI問題最容易凸顯的I/O信號線部份。

▼ 電源層與接地層的隔離(Isolation)

由於電路板上有速度高的主匯流排，記憶體等等的線路，也有速度不快的傳統I/O線路，因此常常將慢速的部份，尤其是會將雜訊從I/O纜線帶出的I/O部份與其他部份相隔離。常見的作法，是以至少50 mils寬的壕溝將兩邊的電源層與接地層相隔離，只留一小截的通道與主要的電源層和接地層連接。I/O信號線便從這通道的上方通過，以避免跨越壕溝增大電流迴流圈的問題。

結論

數位電路的設計若能從佈局(Layout)階段就謹慎的規畫，測試時又對重要信號詳細測量，如減少電源路徑的阻抗，讓信號線阻抗匹配，盡量讓信號線之間間距加大，盡量讓信號線走直走短(除非有正時的考量)等等。

收集整理：

中国 PCB 技术网 <http://www.pcbtech.net>

中国 PCB 论坛网 <http://www.pcbbs.com>

中国 PCB 人才网 <http://www.pcber.net>

2004-11-29