

(一)、前言

电子技术的发展变化必然给板级设计带来许多新问题和新的挑战。首先，由于高密度引脚及引脚尺寸日趋物理极限，导致低的布通率；其次，由于系统时钟频率的提高，引起的时序及信号完整性问题；第三，工程师希望能在 PC 平台上用更好的工具完成复杂的高性能的设计。由此，我们不难看出，PCB 板设计有以下三种趋势：

——高速数字电路(即高时钟频率及快速边沿速率)的设计成为主流。

——产品小型化及高性能必须面对在同一块 PCB 板上由于混合信号设计技术(即数字、模拟及射频混合设计)所带来的分布效应问题。

——设计难度的提高，导致传统的设计流程及设计方法，以及 PC 上的 CAD 工具很难胜任当前的技术挑战，因此，EDA 软件工具平台从 UNIX 转移到 NT 平台成为业界公认的一种趋势。

(二)、高频电路布线技巧

- 1) 高频电路往往集成度较高, 布线密度大, 采用多层板既是布线所必须的, 也是降低干扰的有效手段.
- 2) 高频电路器件管脚间的引线弯折越少越好. 高频电路布线的引线最好采用全直线, 需要转折, 可用 45° 折线或圆弧转折, 这种要求在低频电路中仅仅用于提高铜箔的固着强度, 而在高频电路中, 满足这一要求却可以减少高频信号对外的发射和相互间的耦合.
- 3) 高频电路器件管脚的引线越短越好.
- 4) 高频电路器件管脚间的引线层间交替越少越好. 也即元件连接过程中所用的过孔(Via)越少越好. 据测, 一个过孔可带来约 0.5pF 的分布电容, 减少过孔数能显著提高速度.
- 5) 高频电路布线, 要注意信号线近距离平行走线所引入的串扰, 若无法避免平行分布, 可在平行信号线的反面布置大面积地线来大幅度减少干扰. 同一层内的平行走线几乎无法避免, 但是在相邻的两个层走线的方向务必取为相互垂直.
- 6) 对特别重要的信号线或局部单元实施地线包围的措施.
- 7) 各类信号线走线不能形成环路, 地线也不能形成电流环路.
- 8) 每个集成电路块(IC)的附近应设置至少一个高频退耦电容, 退耦电容尽量靠近器件的 V_{cc} .
- 9) 模拟地线(AGND)、数字地线(DGND)等接往公共地线时要采用高频扼流这一环节. 在实际装配高频扼流环节时用的往往是中心穿有导线的高频铁氧体磁珠, 可在原理图中把它当做电感, 在 PCB 元件库中单独为它定义一个元件封装, 布线前把它手工移动到靠近公共地线汇合的合适位置上.

(三)、PCB 中电磁兼容性(EMC)设计方法

PCB 的基材选择及 PCB 层数的设置、电子元件选择及电子元件的电磁特性、元件布局、元件间互连线的长宽等都制约着 PCB 的电磁兼容性. PCB 上的集成电路芯片(IC)是电磁干扰(EMI)最主要的能量来源. 常规的电磁干扰(EMI)控制技术一般包括: 元器件的合理布局、连线的合理控制、电源线、接地、

滤波电容的合理配置、屏蔽等抑制电磁干扰（EMI）的措施都是很有有效的，在工程实践中被广泛应用。

1. 高频数字电路 PCB 的电磁兼容性(EMC)设计中的布线规则

- 1) 高频数字信号线要用短线, 一般小于 2inch(5cm), 且越短越好.
- 2) 主要信号线最好集中在 PCB 板中心.
- 3) 时钟发生电路应在 PCB 板中心附近, 时钟扇出应采用菊花链或并联布线.
- 4) 电源线尽可能远离高频数字信号线或用地线隔开, 电源的分布必须是低感应的(多路设计). 多层 PCB 板内的电源层与地层相邻, 相当于一个电容, 起到滤波作用. 同一层上的电源线和地线也要尽可能靠近. 电源层四周铜箔应该比地层缩进 20 倍于两个平面层之间距离的尺寸, 以确保系统有更好的 EMC 性能. 地平面不要分割, 高速信号线如果要跨电源平面分割, 应该紧靠信号线放置几个低阻抗的桥接电容.
- 5) 输入输出端用的导线应尽量避免相邻平行. 最好加线间地线, 以免发生反馈耦合.
- 6) 当铜箔厚度为 50um、宽度为 1~1.5mm 时, 通过 2A 的电流, 导线温度 < 3℃. PCB 板的导线尽可能用宽线, 对于集成电路, 尤其是数字电路的信号线, 通常选用 4mil~12mil 导线宽度, 电源线和地线最好选用大于 40mil 的导线宽度. 导线的最小间距主要由最坏情况下的线间绝缘电阻和击穿电压决定, 通常选用 4mil 以上的导线间距. 为减小导线间的串扰, 必要时可增加导线间的距离, 安插地线作为线间隔离.
- 7) 在 PCB 板的所有层中, 数字信号只能在电路板的数字部分布线, 模拟信号只能在电路板的模拟部分布线. 低频电路的地应尽量采用单点并联接地, 实际布线有困难时可部分串联后再并联接地. 实现模拟和数字电源分割, 布线不能跨越分割电源之间的间隙, 必须跨越分割电源之间间隙的信号线要位于紧邻大面积地的布线层上.
- 8) 在 PCB 中由电源和地造成的电磁兼容性问题主要有两种, 一种是电源噪声, 另一种是地线噪声. 根据 PCB 板电流的大小, 尽量加大电源线宽度, 减小环路电阻. 同时, 使电源线、地线的走向和数据传递的方向一致, 这样有助于增强抗噪声能力. 目前, 电源和地平面的噪声只能通过对原型产品的测量或由有经验的工程师凭他们的经验把退耦电容的容量设定为默认的值.

2. 高频数字电路 PCB 的电磁兼容性(EMC)设计中的布局规则

- 1) 电路的布局必须减小电流回路, 尽可能缩短高频元器件之间的连线, 易受干扰的元器件距离不能太近, 输入和输出元件应尽量远离.
- 2) 按照电路的流程安排各个功能电路单元的位置, 使布局便于信号流通, 并使信号尽可能保持一致的方向.
- 3) 以每个功能电路的核心元件为中心, 围绕它来进行布局. 元器件应均匀、整齐、紧凑地排列在 PCB 上, 尽量缩短各元器件之间的引线连接.
- 4) 将 PCB 分区为独立的合理的模拟电路区和数字电路区, A/D 转换器跨分区放置.
- 5) PCB 电磁兼容设计的常规做法之一是在 PCB 板的各个关键部位配置适当的退耦电容.

(四)、信号完整性(SI)分析

信号完整性(Signal Integrity)简称 SI, 指信号在信号线上的质量, 是信号在电路中能以正确的时序和电压作出响应的能力.

集成电路芯片(IC)或逻辑器件的开关速度高,端接元件的布局不正确或高速信号的错误布线等都会引起如反射(reflection)、串扰(crosstalk)、过冲(overshoot)、欠冲(undershoot)、振铃(ringing)等信号完整性问题,从而可能使系统输出不正确的数据,电路工作不正常甚至完全不工作。

PCB 的信号完整性与设计

在 PCB 的设计中,PCB 设计人员需要把元器件的布局、布线及每种情况下应采用的何种 SI 问题解决方法综合起来,才能更好地解决 PCB 板的信号完整性问题.在某些情况下 IC 的选择能决定 SI 问题的数量和严重性.开关时间或边沿速率是指 IC 状态转换的速率,IC 边沿速率越快,出现 SI 问题的可能性越高,正确地端接器件就很重要。

PCB 设计中减少信号完整性问题常用的方法是在传输线上增加端接元器件.在端接过程中,要权衡元器件数量、信号开关速度和电路功耗三方面的要求.例如增加端接元器件意味着 PCB 设计人员可用于布线的空间更少,而且在布局处理的后期增加端接元器件会更加困难,因为必须为新的元件和布线留出相应的空间.因此在 PCB 布局初期就应当搞清楚是否需要放置端接元器件。

1. 信号完整性设计的一般准则

- 1) PCB 的层数如何定义?包括采用多少层?各个层的内容如何安排最合理?如应该有几层信号层、电源层和地层,信号层与地层如何交替排列等。
- 2) 如何设计多种类的电源分块系统?如 3.3V、2.5V、3V、1.8V、5V、12V 等等.电源层的合理分割和共地问题是 PCB 是否稳定的一个十分重要的因素。
- 3) 如何配置退耦电容?利用退耦电容来消除噪声是常用的手段,但如何确定其电容量?电容放置在什么位置?采用什么类型的电容等?
- 4) 如何消除地弹噪声?地弹噪声是如何影响和干扰有用信号的?
- 5) 回路(Return Path)噪声如何消除?很多情况下,回路设计不合理是电路不工作的关键,而回路设计往往是工程师最束手无策的工作。
- 6) 如何合理设计电流的分配?尤其是电/地层中电流的分配设计十分困难,而总电流在 PCB 板中的分配如果不均匀,会直接明显地影响 PCB 板的不稳定工作。
- 7) 另外还有一些常见的如过冲、欠冲、振铃、传输线时延、阻抗匹配、串扰、毛刺等有关信号畸变的问题,但这些问题和上述问题是不可分割的,它们之间是因果关系。

2. 确保信号完整性的 PCB 板设计准则

信号完整性(SI)问题解决得越早,设计的效率就越高,从而可避免在电路板设计完成之后才增加端接元器件。

随着 IC 输出开关速度的提高,不管信号周期如何,几乎所有设计都遇到了信号完整性问题.即使过去没有遇到 SI 问题,但是随着电路工作频率的提高,一定会遇到信号完整性的问题。

SI 和 EMC 专家在 PCB 布线之前要进行仿真和计算,然后,PCB 板设计就可以遵循一系列非常严格的设计规则,在有疑问的地方,可以增加端接元器件,从而获得尽可能多的 SI 安全裕量。

电源完整性(PI)与信号完整性(SI)是密切关联的,电源完整性直接影响最终 PCB 板的信号完整性.而且很多情况下,影响信号畸变的主要原因是电源系统。

EMC 设计目前主要采用设计规则检查方式, 很重要的一点, 就是企业必须逐步建立和完善适合企业特定领域产品的设计规范, 形成一整套的 EMC 设计规则集. 这些在国外的公司非常普及, 如三星和 SONY. 这些规则由人或者 EDA 软件来检查核对.

(五)、高速 PCB 设计方法

在电信领域和其他电子行业领域的数据、语音和图像的传输应用中传输速度已经远远高于 500Mb/s, 在通信领域人们追求的是更快地推出更高性能的产品, 而成本并不是第一位的. 设计者会使用更多的板层、足够的电源层和地层、在任何可能出现高速问题的信号线上都会使用分立元件来实现匹配. 专家对 SI 和 EMC 进行布线前的仿真和分析, 每一个设计工程师都遵循企业内部严格的设计规定.

高速 PCB 的设计要求全员参与, 设计仿真和分析要贯穿产品的整个设计过程.

高速 PCB 设计技术

1. 终端匹配技术 (SCRATCHPAD)

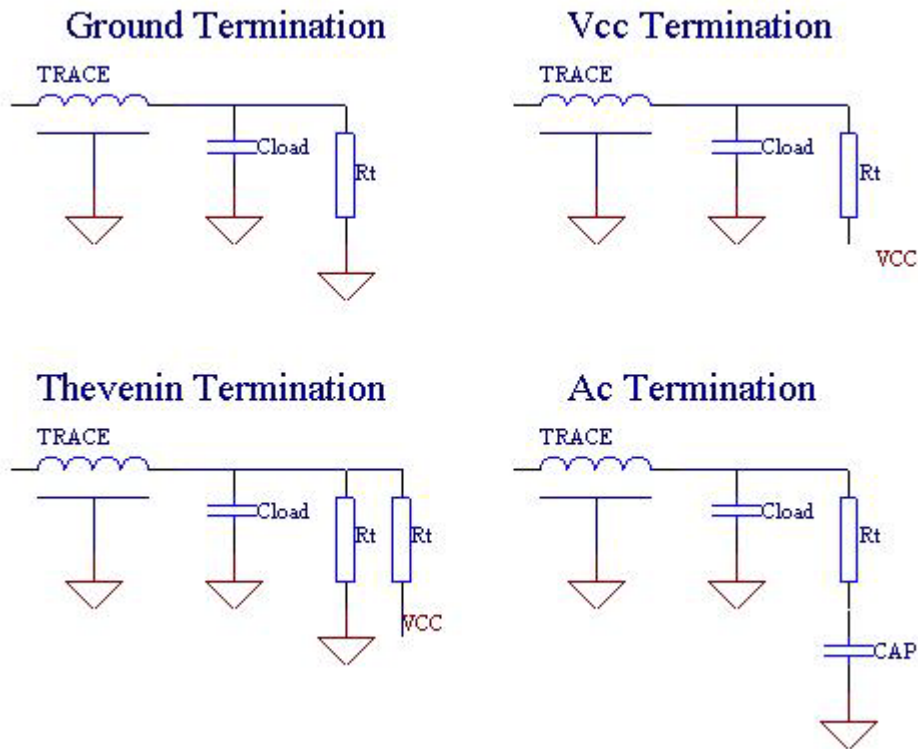
对于一段比较长的走线 ($> 2 \text{ inch}$) 来说, 其效应就更类似于传输线. 如何判断是否满足传输线条件, 有如下经验公式:

$$(\text{走线长度 inch}) \times 0.144 > (\text{电平跳变上升/下降时间 ns}) / 2$$

其中每 $\text{inch} \times 0.144$ 是传输延时因子, 此因子适用于常见的环氧树脂玻璃布基 (FR4) 板.

如果传输线没有完全匹配, 即 $R_t(\text{终端匹配阻抗}) \neq Z_0(\text{传输线特性阻抗})$, 则有反射 (reflection) 产生, 此时通过在源和负载之间多次反射, 就会产生多次振铃 (ringing). 如果传输线完全匹配, 即 $R_t = Z_0$, 此时就不会有振铃的产生. 长于 8 英寸的走线应当在终端进行匹配, 大致有以下几种匹配方式:

其中交流匹配 (Ac Termination) 和其他匹配方式相比, 是一种比较好的匹配方式. 该匹配方式不增加驱动源的负载, 不额外加大电源的负担.



终端匹配技术是最简单而且有效的高速 PCB 设计技术, 合理使用终端匹配技术可以有效降低信号反射和信号振铃, 从而极大地提高信号的时序裕量和噪声裕量, 从而改善产品的故障容限. 单端信号的终端匹配技术通常包括: 驱动端串行连接的终端匹配技术、接收端并行连接的终端匹配技术、戴维南终端匹配技术、A C 终端匹配技术、二极管终端匹配技术等. 而更高性能的信号驱动技术的使用, 对于终端匹配技术提出了更高的要求. 比如 L V D S (低电压差分信号) 器件就要求差分信号线在满足单线阻抗匹配的情况下, 还要满足差分阻抗的匹配, 这甚至比单线阻抗的匹配更重要.

终端匹配方式和元器件的值也要和电路芯片的驱动能力和功耗结合起来考虑. 比如接受端下拉到地的匹配电阻的值, 就必须考虑输出电流和电压 (I_{OH} 和 V_{OH}) 的值, 也就是说必须考虑驱动器的负载能力, 而不能一味地考虑阻抗的匹配. 再比如, 当网络上信号的占空比大于 50% 时, 匹配电阻应该上拉到电源, 而当网络上的信号占空比小于或者等于 50% 时, 匹配电阻应该下拉到地.

关于匹配元器件位置的规则, 源端匹配器件应该尽量靠近驱动器; 终端匹配器件应该尽量靠近接收端. 如果网络不是菊花链, 那么匹配元器件的位置和匹配值应该由 SI 工具分析确定.

Cadence 公司的 SpectraQuest 对高速系统的信号完整性分析和波形仿真, 在高速系统设计中具有指导意义. 设计工程师可以在电路板预布局的情况下, 就可以对系统特性进行仿真, 而且实践证明, 仿真结果不好的布局, 在完成布线后的仿真结果也不好. 在进行布局的调整, 完成布线后, 再进行仿真, 对于效果不好的网络分析原因, 再加以针对性的改进, 直至得到满意的布线结果.

利用 SpectraQuest 对高速系统中振铃和传输线效应的仿真结果和实验,可以得到以下结论

- 1) 对高速信号和有严格沿要求的走线, 应尽可能得走短线。
- 2) 对于高分布电容的负载, 应用短而粗的走线。理论分析, 比较粗的走线有比较小的电感。
- 3) 在长于 2 英寸而短于 8 英寸的走线, 要串入 25—50 欧姆的阻尼电阻, 一般取 25 欧或 33 欧。
- 4) 对于长于 8 英寸的走线, 应当加入并行匹配网络 (地匹配, 电源匹配, 中点电位匹配, 交流匹配等)。

2. 阻抗控制技术

首先要区分开导线的电阻与阻抗两个不同的概念. 电阻指的是直流状态下导线对电流呈现的阻抗, 而阻抗指的是交流状态下导线对电流的阻抗, 这个阻抗主要是由导线的电感引起的. 任何导线都有电感, 当频率较高时, 导线的阻抗远大于直流电阻.

阻抗控制在高速 PCB 设计中显得尤其重要. 阻抗控制技术包括了以下两方面含义:

- 1) 阻抗控制的 PCB 信号线是指沿高速 PCB 信号线各处阻抗连续, 也就是说同一个网络上阻抗是一个常数。
- 2) 阻抗控制的 PCB 板是指 PCB 板上所有网络的阻抗都控制在一定的范围以内, 如 $20\sim 75\Omega$ 。

设计工程师需要用到传输线理论或者借助 EDA 工具来实现阻抗控制。而 PCB 加工厂商则要依靠先进的工艺和高性能的仪器和测试技术来保证阻抗控制技术的精确性。所以 PCB 厂商可能需要通过改变设计中的尺寸和间距来实现阻抗控制。分析和测量是阻抗控制技术中很重要的一个环节, 光板测试尤其重要而且精确。所以 PCB 设计工程师必须在设计中制定关键信号线的阻抗以及允许误差, 并且密切协调 PCB 加工厂商的工作, 确保符合所有的设计规范。

阻抗控制的 PCB 信号技术有很多种: 嵌入式微带线、非对称带状线、对称带状线、边缘耦合带涂层的微带线、边缘耦合非对称带状线、辐射耦合的带状线等。

从电路和 PCB 设计工程师的角度来说, 要根据系统设计要求, 严格计算阻抗, 控制信号线的几何尺寸, 并将这些关键的阻抗控制信号线的阻抗和误差的要求, 明确以文档的方式递交给 PCB 加工厂, 且要求 PCB 加工厂递交实现加工测试的详细报告。对于设计工程师的特定要求, PCB 加工厂商通常采取在 PCB 设计拼板的外围加上测试卡棒条, 依据加工工艺, 运用先进的测试技术, 来调整关键信号线的几何尺寸和间距。

3. 设计空间探测技术

设计空间探测是应用广泛的高速设计和规划技术。在设计的早期阶段, 比如系统设计阶段、原理图设计阶段或者是 PCB 布线前阶段, 可以使用 EDA 工具来考察关键网络的匹配方式、匹配元器件值、拓扑结构、布线长度、基板材料、板层结构等对信号完整性的影响。并且通过多参数的扫描分析, 可以得到符合高速设计信号规范的设计空间。

4. 高速 PCB 的集成电路芯片 (IC) 设计技术

在 IC 设计中同样需要关注高速 PCB 的设计和分析。

高性能的 FPGA 芯片，需要考虑以下与高速 PCB 有关的因素：

- 1) 恰当地运用引脚的可重定位特性，限制高速 PCB 传输线的长度，从而达到控制延时和改善信号质量的目的。
- 2) 确保编程引脚的驱动能力不要太强。
- 3) 编程引脚的信号变化速率，在满足时序等方面确保信号边沿的跳变不要太快。
- 4) 运用编程引脚的工艺技术，如 LVTTTL、LVCMOS、LVDS、GTL、GTL+等，这样可以减少高速 PCB 板上元器件的使用。

ASIC 芯片的设计同样也要关注高速 PCB 设计方面的情况，突出体现为：根据高速 PCB 板的要求来选择 ASIC 芯片的 I/O 缓冲器，以及芯片的封装工艺和技术。SI 工程师根据 ASIC 加工厂商提供的 I/O 缓冲器模型，以及封装厂商提供的封装模型，将 ASIC 芯片放在高速 PCB 中进行仿真分析。从中选择符合 ASIC 功能要求、高速 PCB 性能要求、成本和成品率等综合因素的解决方案。

5. 板级、系统级 EMC 设计技术

目前可行的 EMC 设计技术包括 EMC 专家系统和 EMC 设计规则。它是企业内部建立的一整套可行的 EMC 设计规则，这些规则可能是以文档检查列表的方式给出，再由工程师去仔细检查设计的电路图，或者 PCB 版图确保没有任何的规则违反，也可能将这些设计规则编程到 EMC 专家系统中，由 EDA 工具来自动检查。

(六)、PCB 板的静电释放 (ESD) 设计

许多产品设计工程师通常在产品进入到生产环节时才着手考虑抗静电释放 (ESD) 的问题。如果电子设备不能通过抗静电释放测试，通常最终的方案都要采用昂贵的元器件，还要在制造过程中采用手工装配，甚至需要重新设计。因此，产品的进度势必受到影响。

即使经验丰富的设计工程师，也可能并不知道设计中的哪些部分有利于抗静电释放 (ESD)。大多数电子设备在生命期内 99% 的时间都处于一个充满 ESD 的环境之中，ESD 可能不自人体、家具、甚至设备自身内部。电子设备完全遭受 ESD 损毁比较少见，然而 ESD 干扰却很常见，它会导致设备锁死、复位、数据丢失和不可靠。其结果可能是在寒冷干燥的冬季电子设备经常出现故障，但是维修时又显示正常，这样势必影响用户对电子设备及其制造者的信心。

1. ESD 产生的机理

一个充电的导体接近另一个导体时，两个导体之间会建立一个很强的电场，产生由电场引起的击穿。当两个导体之间的电压超过它们之间空气和绝缘介质的击穿电压时，就会产生 ESD 电弧。在 0.7ns 到 10ns 的时间里，ESD 电弧电流会达到几十安培甚至超过 100A。ESD 电弧会产生一个频率范围在 1MHz~500MHz 的强磁场，并感性耦合到邻近的每一个布线环路，在距离 ESD 电弧 10cm 范围产生 15A 以上的电流，4KV 以上的高压。ESD 电弧将一直维持到两个导体接触短路或者电流低到不能维持电弧为止。

2. 抗 ESD 的 PCB 布局与布线设计

- 1) 尽可能使用多层 PCB 板结构，在 PCB 板内层布置专门的电源和地平面。采用旁路和退耦电容。尽量将每一个信号层都紧靠一个电源层或地线层，对于顶层和底层表面都有元器件、具有很短连接线以及许多填充地的高密度 PCB，可以考虑使用内层走线。
- 2) 确保每一个功能电路和各功能电路之间的元器件布局尽可能紧凑，对易受 ESD 影响的电路或敏感元器件，应该放在靠近 PCB 板中心的区域，这样

其它的电路可以为它们提供一定的屏蔽作用。在能被 ESD 直接击中的区域，每一个信号线附近都要布一条地线。

- 3) 在 ESD 容易进入的设备 I/O 接口处以及人手经常需要触摸或操作的位置，比如复位键、通讯口、开/关机键、功能按键等。通常在接收端放置瞬态保护器、串联电阻或磁珠。
- 4) 要确保信号线尽可能短，信号线的长度大于 12inch (30cm) 时，一定要平行布一条地线。
- 5) 确保信号线和相应回路之间的环路面积尽可能小，对于长信号每隔几厘米或几英寸调换信号线和地线的位置来减小环路面积。
- 6) 确保电源和地之间的环路面积尽可能小，在靠近集成电路芯片 (IC) 每一个电源管脚的地方放置一个高频电容。
- 7) 在可能的情况下，要用地填充未使用的区域，每隔 < 2inch (5cm) 距离将所有层的填充地连起来。
- 8) 电源或地平面上开口长度超过 8mm 时，要用窄的导线将开口两侧连接起来。
- 9) 复位线、中断信号线、或者边沿触发信号线不能布置在靠近 PCB 板边沿的地方。
- 10) 在 PCB 板的整个外围四周布置环形地通路，尽可能使所有层的环形地宽度大于 100mil (2.54mm)。每隔 500mil (12.7mm) 用过孔将所有层的环形地连接起来，信号线距离环形地 > 20mil (0.5mm)。

(六). 高速 PCB 中的过孔设计

在高速 PCB 设计中，看似简单的过孔往往也会给电路的设计带来很大的负面效应。为了减小过孔的寄生效应带来的不利影响，在设计中可以尽量做到：

1. 从成本和信号质量两方面考虑，选择合理尺寸的过孔大小。比如对 6-10 层的内存模块 PCB 设计来说，选用 10/20Mil (钻孔/焊盘) 的过孔较好，对于一些高密度的小尺寸的板子，也可以尝试使用 8/18Mil 的过孔。目前技术条件下，很难使用更小尺寸的过孔了。对于电源或地线的过孔则可以考虑使用较大尺寸，以减小阻抗。
2. 使用较薄的 PCB 板有利于减小过孔的两种寄生参数 (寄生电容和寄生电感)。
3. PCB 板上的信号走线尽量不换层，也就是说尽量不要使用不必要的过孔。
4. 电源和地的管脚要就近打过孔，过孔和管脚之间的引线越短越好，因为它们会导致电感的增加。同时电源和地的引线要尽可能粗，以减少阻抗。
5. 在信号换层的过孔附近放置一些接地的过孔，以便为信号提供最近的回路。甚至可以在 PCB 板上大量放置一些多余的接地过孔。