

高速数字系统印刷电路板的设计要点*

Key Points in Design of Printed Circuit Board for High Speed Digital System

西安电子科技大学模式识别与智能系统研究所 (西安 710071) 孙继业 赵亦工

【摘要】 讨论了高速数字系统印刷电路板中信号完整性问题的形成原因,并结合实例总结了设计此类印刷电路板的一般要点。

关键词: 印刷电路板, 信号完整性, 电磁干扰, 延迟, 阻抗匹配

【Abstract】 First, the cause of the problems about signal integrity in Printed Circuit Board (PCB) of complicated and high speed electronic system is discussed. Then some key points in designing such kinds of PCB are summarized.

Keywords: printed circuit board, signal integrity, electro magnetic interference, delay, impedance matching

1 引言

就在几年前,在绝大多数数字信号处理系统印刷电路板的设计中,信号完整性还没有作为十分重要的问题来考虑。随着实际应用对数字信号处理系统要求的日益提高,时钟频率超过100MHz,信号边沿的上升时间或下降时间小于1ns的系统随处可见。越来越复杂、高速的系统给印刷电路板的设计提出了严格的要求:信号延迟、反射及相互间的电磁干扰等一系列在低速数字系统中未给予充分重视的问题,对高速数字系统工作可靠性的影响正在变得越来越关键。因此在高速印刷电路板设计中必须认真地考虑和对待信号传输以及信号质量等方面的问题。

2 信号完整性概念

信号完整性 SI(Signal Integrity)是指电路传输信号时对信号波形的保真程度,以及与邻近空间其它信号间的相互影响程度。良好的信号完整性是指信号通过传输电路后,信号接收端看到的波形与信号发送端发送的波形在容许的误差范围内保持一致,并且空间邻近的传输信号间的相互影响在容许的范围之内。信号完整性研究的问题包括两个方面:一是传输电路如何影响信号的传输;二是为了保证良好的信号完整性,对传输电路的调整。

信号完整性问题处理的好坏直接关系到系统能否正常工作。信号延迟、反射、串扰等信号传输带来的问题致使信号品质变坏,严重时会导致信号逻辑错误,有时较大的过冲形成的正向和反向高电压甚

至可能烧坏元器件。

形成信号完整性问题的根本原因是传输信号频率的提高,这使得必须用波动的观点看待电路中传输的信号,同时必须以电磁辐射和接收的观点看待邻近空间传输信号之间的相互作用。高速数字电路系统均工作于较高的时钟频率,为了保证脉冲信号的有效时间,必须减少脉冲信号的上升和下降时间。高速数字系统中,脉冲信号的有效时间取决于系统的时钟频率,它的数值一般都是信号上升和下降时间的数倍以上,因此信号传输的波动频率由信号的上升或下降时间决定,而不是由系统的时钟频率来决定。信号特别陡的上升沿和下降沿带来的影响分两个方面:

第一,增大传输路径上信号反射带来的波形畸变。信号波形的失真与信号上升、下降时间成反相关,与信号线的长度(延迟)成正相关^[1]。当元器件管脚间的连线长度超过驱动信号上升时间或下降时间对应的信号传输有效长度(在特定时间内信号在PCB中能够传输的距离,数值上为信号传输速率与这段时间的积)的1/6时,导线就不能被看作是集总参数条件下的理想导线,而应被看作是具有分布参数的传输线^[2],进而必须用波动的观点考虑信号反射的影响。反射信号与入射信号的迭加使得信号波形发生畸变。上升时间或下降时间越小,信号传输时的波动频率越高,这种不良作用就会越大。

第二,增大线间的电磁干扰——串扰。线间的电磁干扰与信号上升、下降时间成反相关,与布线密度成正相关,与信号线相对平行长度成正相关。信号上升、下降时间越短,信号线上瞬时电流变化越快,形

* 收稿日期: 2001-08-22

成的电磁场频率越高, 信号辐射的电磁能量越大; 线间距越小, 相对平行长度越长, 对邻近信号线感应越强烈。在高速系统中, 承载信号的传输线有明显的天线效应, 不但自己发出电磁波干扰别的信号, 而且也容易被别的信号干扰。同时, 在信号传输线的正下方的电源或地平面上会产生相应的回路电流, 同样会对其它信号产生串扰。串扰会导致受侵害的信号在侵害主动方发生电平转换时的振荡, 恶化信号品质, 严重时可能导致信号不可用。由于串扰一般是间歇发生的, 因此当 PCB 已经生产出来以后, 很难发现是否存在串扰以及串扰的危害程度。

根据对信号完整性产生机理的分析, 只要系统中使用了电平转换速度很高的元器件, 时钟频率低的系统也可能发生信号完整性问题。因此, 原本设计好并正常工作的系统, 在更换新的、电平转换速度更高的元器件后, 极有可能不能正常工作。

3 高速数字系统 PCB 设计要点

高速数字系统的特征与模拟系统越来越接近, 因此在其设计中越来越多地使用模拟系统的设计方法。以前那种只凭经验的设计方法已经逐步被淘汰, 现在, 一般的做法是在 EDA 设计环境中采用前仿真、后验证的设计方法, 尽可能在设计阶段彻底解决信号完整性问题。下面结合作者在实际工作中设计的一块高速数字系统的印刷电路板来讨论这一问题, 为了叙述方便, 将这块印刷电路板称为数字信号处理模块。这块电路板的技术参数如下:

- 系统时钟频率: 40MHz;
- 芯片信号驱动端最小上升、下降时间: 1.0ns;
- 信号线条数: 356;
- 关键信号线和高速信号线条数: 135;
- 最小线宽、线距: 8^μ。

从这些参数可以看出: 系统时钟频率高; 系统中关键信号线和高速信号线的数目比较多; 器件上升时间小; 最小线宽和线距比较小。这些因素都会导致信号完整性问题。另外, 该系统使用了 4 片数字信号处理器 (Digital Signal Processor, DSP), 印制板上大量的信号线用于 DSP 之间的通信, 这些信号的时序关系要求非常严格。作者设计时采取的策略为, 在对设计作必要物理约束的同时对信号传输线进行阻抗匹配。

对设计作必要的物理约束, 即通过精心做好板层的定义、优化布局布线等方法来避免部分信号完整性问题。一般情况下, 通过精心设计可以完成以下任务:

- 实现对所有的信号线的阻抗控制, 主要通过精心选择板层物理参数, 规定各层布线宽度来完成; 阻抗控制的主要作用是有效地降低信号的反射。
- 满足大部分关键信号线延迟方面的要求, 使

大部分信号线的反射最小化, 主要通过合理布局控制信号线的长度、优化布线控制走线形状来实现。

- 使得绝大部分的信号线之间的串扰控制在允许的范围, 主要通过板层安排隔离不同层信号、合理布局控制布线密度、优化布线控制高速信号线和其它信号线的距离来达到目的。

这样, 系统中只剩下少量的信号线存在信号完整性问题, 必须通过阻抗终端匹配技术来解决。

下面按实际的处理步骤讨论设计要点:

(1) 精心做好板层的定义

印刷电路板的板层参数包含以下几个内容: 电路板的层数; 电源平面和地平面的分布; PCB 基板材质、厚度、介电常数; 各层铜箔厚度以及信号层信号线的宽度。这些参数不但决定了信号在印刷电路板中的传播速度, 而且决定了每一根线的特征阻抗 (特征阻抗是指信号沿传输线传播时, 信号看到的瞬时阻抗值)。必须注意的是, PCB 的物理参数由于加工工艺等原因不可能和设计值完全相同。

在复杂、高速的电路系统中, 单独的电源、地平面是必须的, 它的重要作用包括^[3]阻抗控制、降低电磁干扰、滤除高频噪声。

电源的合理分配、地涂敷层的位置能很好地发挥涂敷层的屏蔽作用。涂敷层的设计中要注意的地方有:

- 不要在涂敷层上形成沟状无涂敷地带, 这样会增加额外的干扰;
- 如果板层只有两层, 应使用网状电源、地的涂敷, 而避免使用手指状的涂敷。
- 原则上把信号线布到与涂敷层相邻的信号层会产生很好的效果。

数字信号处理模块就是遵循这一原则进行设计的: 根据板子大小和信号线的密集程度以及其它的一些约束条件, 并进行 EDA 自动布线实验, 判断数字信号处理模块需要几个独立的走线层。因此采用 10 层板, 板层可按如下定义: 第一、三、四、七、八、十层为走线层, 第二、六、九为涂敷地层, 第五层为涂敷电源层。这样, 第一、十层的信号线为非对称微带线, 第三、四层和第七、八层上的信号线 (相邻走线层的信号线交叉分布) 为双带线, 每个走线层都与一个涂敷层相邻, 从而能很好地实现阻抗控制。

对多电源、多地的系统, 电源、地涂敷层的分割是一个十分关键的问题。分割的好坏直接关系到传输线品质的高低。有关涂敷层分割的详细论述请参阅参考文献 [3]。

(2) 寻找最佳布局

在布局阶段主要应考虑以下几点:

- 尽量减小关键信号和高速信号的延迟, 以控制信号反射; 关键信号线长度的决定性因素是布局。
- 控制信号组延迟的一致性: 比如对于数据总

线、地址总线,由于数据的采样在同一时刻发生,如果总线的长度相差太远的话,采到的数据可能错位。

- 保持整块电路板上布线密度的大体平衡,以控制串扰:局部过密的布线对避免串扰显然是不利的。在 EDA 环境中,设计人员可以采用自动布局,再进行自动布线,然后根据自动布线结果手动调整布局;也可以人工大致排定一个布局,然后用自动布线器布线,再根据自动布线结果对布局作相应的调整。

- 保持整块电路板上功耗的大体平衡:如果板材区域冷热差别太大,信号线极易因板材的热胀冷缩而断裂。

严格控制信号延迟要求很高的设计环境。在这种设计环境中,无论是在布局阶段还是在布线的时候,要能够方便地监视每根传输线的延迟,并据此调整布局。好在已经有好些 EDA 工具能够提供这类环境,比如 Innoveda 的 ePlanner、VeriBest 的 Expedition PCB 等。在这些软件环境下,可以实时地监视每一根线的“曼哈顿长度(曼哈顿长度:如果把互连线的两个连接点的直线距离看作一个直角三角形的斜边的话,那么曼哈顿长度就是这个直角三角形两个直角边长度之和,其中一条直角边是水平方向的。)",并能据此随意地更改布局。这在很大程度上方便了寻找符合设计规则的布局。

在设计数字信号处理模块的布局阶段,作者在 Expedition PCB 环境下,根据以上原则对系统中关键和高速的信号线进行了逐根检查,并通过多次尝试的办法,找到最佳布局(最佳布局不一定是最优布局,凡是能满足设计规则要求的布局都可称为最佳布局)。

(3) 制定合理的布线规则

- 布线层的分配及各层中线宽:布线层的分配及各层中线宽主要决定 PCB 中信号传播速率和互连线的特征阻抗。为了保证 PCB 上互连线的阻抗一致性,同一布线层中的线宽一般不要改变。基于减小电磁干扰的考虑,高速信号线最好布在距离涂敷层较近的内层布线层。

- 总体走线方向和各层中线距:信号间的串扰对相邻平行走线的长度和走线间距极其敏感,因此相邻走线层的信号线的总体走线方向一般要互相垂直。在同一走线层上尽量使高速信号线与其它平行信号线间距拉大,平行长度缩小。一般的原则是低速信号的布线密度可以相对大些,高速信号的布线密度应尽量小,并且要求某些非高速信号线在一定程度上为高速信号线让路。

- 线长限制、信号组总体走线形状、过孔使用限制:在优化布局的基础上,尽量缩短高速信号线的长度、控制信号组延迟的一致性是布线时的重要任务。对于多点连接的信号要充分考虑其总线形状,比如

一个信号驱动器驱动多个信号接收器,并要求这多个信号接收器同时接到信号,这样,一般要使用星形连接,并要求中心节点到各个信号接收器的走线长度保持一致。值得注意的是,过孔的使用不但增加了信号的延迟,而且在一定程度上破坏了信号线的阻抗连续性,因此应尽量减少过孔的使用量。

在数字信号处理模块中,四片信号处理器之间共享了总线(数据总线和地址总线)和外部存储器,并且每片处理器都有机会同时访问其它处理器的内存。这样,所有的数据总线和地址总线连接的每个引脚都是输入输出双向的,因此理想的走线形状是采用星形连接,并且中心点距离每个引脚的距离相等。实际的布线由于板层等的限制无法采用理想的星形连接,只能采用“工”字形的连接方式,并进行必要的阻抗匹配。实际测量结果显示信号质量可以接受。

实际设计工作中,能够通过优化布局布线等工作解决的信号完整性问题,一般尽量不采用终端匹配的方法解决。这是因为一般高速系统的设计都非常紧凑,不希望因为增加了元器件等而带来功耗和板面积的增加。但过分严格的物理约束,通常会增加最终产品的成本,这在激烈的市场竞争中是不可取的。因此,对设计作必要物理约束的同时有必要对剩下的少数存在信号完整性问题的传输线进行阻抗终端匹配。

理想的传输线要求信号在传播过程中的任何时候看到的特征阻抗都保持一致。影响传输线的特征阻抗一致性的因素有两方面:

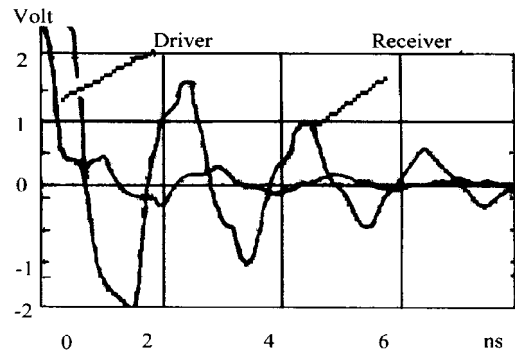


图 1

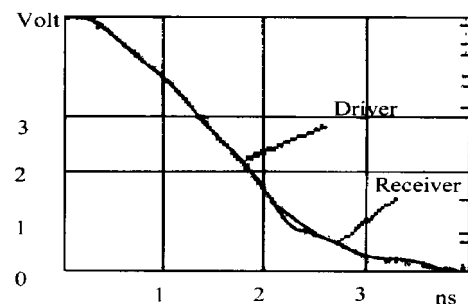


图 2

线的因素: 在基板的介电常数、传输线到涂敷层的距离、传输线的厚度等^[4]参数确定以后, PCB 中分布在同层的信号线如果不改变走线宽度, 没有突然改变方向, 它的特征阻抗是一致的。

信号驱动器和接收器的因素: 在典型的数字系统中, 驱动器的输出阻抗通常小于 PCB 互联信号线的特征阻抗, 而 PCB 互联信号线的特征阻抗也总是小于信号接收端的输入阻抗, 这种阻抗的不连续性是导致信号反射的主要原因。阻抗匹配就是在信号驱动端或接收端采用一定的技术, 使得信号接收端的输入阻抗与传输线的特征阻抗相匹配, 那么信号就可很好地传输。

终端匹配的技术很多, 其中包括并联终端匹配、串联终端匹配(后端终端匹配)、双电阻终端匹配(戴维南终端匹配)、RC 终端匹配(AC 终端匹配)及二极管终端匹配等。其技术细节及特点请参阅有关文献。

4 实验结果

图 1 表示的是数字信号处理模块中 RD# (读信号) 在没有处理以前的计算机仿真波形, 图 2 是处理后的计算机仿真波形。可以看出, 处理的效果明

显。

为从理论上解决 PCB 中的信号完整性问题, 不仅需要有关电磁场、电路相结合的知识, 还应包括模拟电路设计的基本知识。一些发达国家在 80 年代末就已经展开在这个领域的研究, 90 年代中期至今一直是研究热点, 并有大量的研究成果问世, 而国内基本上刚刚起步。

参 考 文 献

- 1 Howard Johnson and Martin Graham. High Speed Digital Design, A Handbook of Black Magic. Prentice Hall, 1993: 160
- 2 Howard Johnson and Martin Graham. High Speed Digital Design, A Handbook of Black Magic. Prentice Hall, 1993: 8
- 3 Doug Brooks. High Planes Splitter. Printed Circuit Design, December 2000
- 4 Howard Johnson and Martin Graham. High Speed Digital Design, A Handbook of Black Magic. Prentice Hall, 1993: 178
- 5 Howard Johnson and Martin Graham. High Speed Digital Design, A Handbook of Black Magic. Prentice Hall, 1993 ■

(上接第 46 页)

不得通电; 增压电磁阀不通电, 同一油路的减压电磁阀不得通电等。

以上检测, 若有任一项不正常则发出相应警示信号, 并切断电磁阀及回油泵机电源。

主控单片机 87C196KD 控制软件主流程图见图 2, 制动信号中断子程序流程图见图 3。

5 结束语

使用 ABS 数据采集系统, 按照国家标准 GB 13594-92《汽车防抱制动系统性能要求和试验方法》对 TP-ABS442 检测, 结果表明, TP-ABS442 完全符合国家标准。在高低附着系数及对开、对接路面上, 车速大于 10km/h 紧急制动时, 4 轮均不抱死, 在附着系数约为 0.8 的同一路面上, 有 ABS 比无 ABS 平均制动距离可缩短 10%, 在附着系数约为 0.2 的同一路面上, 有 ABS 比无 ABS 平均制动距离可缩短 30%, 效果十分显著。

“十五”规划中, 国家已把 ABS 作为重点扶持的汽车电子产品, 随着一系列优惠政策的出台, ABS 的研究开发必将得到跨越式的发展。

参 考 文 献

- 1 Intel Co. 8XC196KC/8XC196KD User's Manual. Intel Co., 1992
- 2 孙涵芳. Intel 16 位单片机. 北京: 北京航空航天大学出版社, 1995, 11 ■

• 小知识 • 核心路由器

核心路由器是指在 IP 骨干网核心使用的, 交换容量达到或超过千兆比特级的, 具有高密度高速端口的路由器产品。该类产品的可扩展性、高速接口、互操作性、QoS 能力、可靠性, 为骨干网提供了良好的升级、服务质量和故障恢复能力, 并且为网络向下一代基于 IP 的高速骨干网发展奠定了良好的基础。

未来 IP 骨干网的三个关键组成部分是光纤、DWDM 和核心路由器。目前的光网络层运行在 OC-48 和 OC-192 速率, 传统路由器无法提供相应的接口速率和端口密度, 不能有效利用巨大的原始带宽, 造成了骨干网的潜在瓶颈。核心路由器是未来骨干网的关键节点, 采用核心路由器能够把大量的原带宽转换成可用带宽, 解决骨干网瓶颈问题。

路由器技术的发展经历了几个阶段, 早先的路由器由软件集中进行 IP 包的转发, 吞吐量比较低; 例如思科的 2500、3600 等中低端路由器, 其转发能力约为几十 Kpps。第二代路由器是基于软件的分布式转发, 每个接口板上都有 CPU, 主控板生成的路由表被下发到各接口板形成转发表, 每块接口板根据转发表独立进行转发工作; 例如思科的 7500 系列路由器, 转发能力超过 1Mpps。第三代路由器基于硬件进行 IP 包的转发, 转发引擎可以是 ASIC(专用集成电路), 也可以是专门为 IP 转发而设计的网络处理器。