

欢迎来到控制工程中文网

<http://www.cechinamag.com/>

EMI / EMC设计秘籍

——电子产品设计工程师必备手册



目 录

- 一、EMC 工程师必须具备的八大技能
- 二、EMC 常用元件
- 三、EMI/EMC 设计经典 85 问
- 四、EMC 专用名词大全
- 五、产品内部的 EMC 设计技巧
- 六、电磁干扰的屏蔽方法
- 七、电磁兼容 (EMC) 设计如何融入产品研发流程

一、EMC 工程师必须具备的八大技能

EMC 工程师需要具备那些技能？从企业产品需要进行设计、整改认证的过程看，EMC 工程师必须具备以下八大技能：

- 1、EMC 的基本测试项目以及测试过程掌握；
- 2、产品对应 EMC 的标准掌握；
- 3、产品的 EMC 整改定位思路掌握；
- 4、产品的各种认证流程掌握；
- 5、产品的硬件知识，对电路（主控、接口）了解；
- 6、EMC 设计整改元器件（电容、磁珠、滤波器、电感、瞬态抑制器件等）使用掌握；
- 7、产品结构屏蔽设计技能掌握；
- 8、对 EMC 设计如何介入产品各个研发阶段流程掌握。

二、EMC 常用元件介绍

共模电感

由于 EMC 所面临解决问题大多是共模干扰，因此共模电感也是我们常用的有力元件之一！这里就给大家简单介绍一下共模电感的原理以及使用情况。

共模电感是一个以铁氧体为磁芯的共模干扰抑制器件，它由两个尺寸相同，匝数相同的线圈对称地绕制在同一个铁氧体环形磁芯上，形成一个四端器件，要对于共模信号呈现出大电感具有抑制作用，而对于差模信号呈现出很小的漏电感几乎不起作用。原理是流过共模电流时磁环中的磁通相互叠加，从而具有相当大的电感量，对共模电流起到抑制作用，而当两线圈流过差模电流时，磁环中的磁通相互抵消，几乎没有电感量，所以差模电流可以无衰减地通过。因此共模电感在平衡线路中能有效地抑制共模干扰信号，而对线路正常传输的差模信号无影响。

共模电感在制作时应满足以下要求：

- 1) 绕制在线圈磁芯上的导线要相互绝缘，以保证在瞬时过电压作用下线圈的匝间不发生击穿短路。
- 2) 当线圈流过瞬时大电流时，磁芯不要出现饱和。
- 3) 线圈中的磁芯应与线圈绝缘，以防止在瞬时过电压作用下两者之间发生击穿。
- 4) 线圈应尽可能绕制单层，这样做可减小线圈的寄生电容，增强线圈对瞬时过电压的而授能力。

通常情况下，同时注意选择所需滤波的频段，共模阻抗越大越好，因此我们在选择共模电感时需要看器件资料，主要根据阻抗频率曲线选择。另外选择时注意考虑差模阻抗对信号的影响，主要关注差模阻抗，特别注意高速端口。

磁珠

在产品数字电路 EMC 设计过程中，我们常常会使用到磁珠，那么磁珠滤波地原理以及如何使用呢？

铁氧体材料是铁镁合金或铁镍合金，这种材料具有很高的导磁率，他可以是电感的线圈绕组之间在高频高阻的情况下产生的电容最小。铁氧体材料通常在高频情况下应用，因为在低频时他们主要程电感特性，使得线上的损耗很小。在高频情况下，他们主要呈电抗特性比并且随频率改变。实际应用中，铁氧体材料是作为射频电路的高频衰减器使用的。实际上，铁氧体较好的等效于电阻以及电感的并联，低频下电阻被电感短路，高频下电感阻抗变得相当高，以至于电流全部通过电阻。铁氧体是一个消耗装置，高频能量在上面转化为热能，这是由他的电阻特性决定的。

铁氧体磁珠与普通的电感相比具有更好的高频滤波特性。铁氧体在高频时呈现电阻性，相当于品质因数很低的电感器，所以能在相当宽的频率范围内保持较高的阻抗，从而提高高频滤波效能。在低频段，阻抗由电感的感抗构成，低频时 R 很小，磁芯的磁导率较高，因此电感量较大，L 起主要作用，电磁

干扰被反射而受到抑制；并且这时磁芯的损耗较小，整个器件是一个低损耗、高 Q 特性的电感，这种电感容易造成谐振因此在低频段，有时可能出现使用铁氧体磁珠后干扰增强的现象。 在高频段，阻抗由电阻成分构成，随着频率升高，磁芯的磁导率降低，导致电感的电感量减小，感抗成分减小 但是，这时磁芯的损耗增加，电阻成分增加，导致总的阻抗增加，当高频信号通过铁氧体时，电磁干扰被吸收并转换成热能的形式耗散掉。

铁氧体抑制元件广泛应用于印制电路板、电源线和数据线上。如在印制板的电源线入口端加上铁氧体抑制元件，就可以滤除高频干扰。铁氧体磁环或磁珠专用于抑制信号线、电源线上的高频干扰和尖峰干扰，它也具有吸收静电放电脉冲干扰的能力。

使用片式磁珠还是片式电感主要还在于实际应用场合。在谐振电路中需要使用片式电感。而需要消除不需要的 EMI 噪声时，使用片式磁珠是最佳的选择。片式磁珠和片式电感的应用场合：片式电感： 射频 (RF) 和无线通讯，信息技术设备，雷达检波器，汽车电子，蜂窝电话，寻呼机，音频设备，PDAs (个人数字助理)，无线遥控系统以及低压供电模块等。片式磁珠： 时钟发生电路，模拟电路和数字电路之间的滤波，I/O 输入/输出内部连接器 (比如串口，并口，键盘，鼠标，长途电信，本地局域网)，射频 (RF) 电路和易受干扰的逻辑设备之间，供电电路中滤除高频传导干扰，计算机，打印机，录像机 (VCRS)，电视系统和手提电话中的 EMI 噪声抑止。

磁珠的单位是欧姆，因为磁珠的单位是按照它在某一频率产生的阻抗来标称的，阻抗的单位也是欧姆。磁珠的 DATASHEET 上一般会提供频率和阻抗的特性曲线图，一般以 100MHz 为标准，比如是在 100MHz 频率的时候磁珠的阻抗相当于 1000 欧姆。针对我们所要滤波的频段需要选取磁珠阻抗越大越好，通常情况下选取 600 欧姆阻抗以上的。

另外选择磁珠时需要注意磁珠的通流量，一般需要降额 80% 处理，用在电源电路时要考虑直流阻抗对压降影响。

滤波电容器

尽管从滤除高频噪声的角度看，电容的谐振是不希望的，但是电容的谐振并不是总是有害的。当要滤除的噪声频率确定时，可以通过调整电容的容量，使谐振点刚好落在骚扰频率上。

在实际工程中，要滤除的电磁噪声频率往往高达数百 MHz，甚至超过 1GHz。对这样高频的电磁噪声必须使用穿心电容才能有效地滤除。普通电容之所以不能有效地滤除高频噪声，是因为两个原因，一个原因是电容引线电感造成电容谐振，对高频信号呈现较大的阻抗，削弱了对高频信号的旁路作用；另一个原因是导线之间的寄生电容使高频信号发生耦合，降低了滤波效果。

穿心电容之所以能有效地滤除高频噪声，是因为穿心电容不仅没有引线电感造成电容谐振频率过低的问题，而且穿心电容可以直接安装在金属面板上，利用金属面板起到高频隔离的作用。但是在使用穿心电容时，要注意的问题是安装问题。穿心电容最大的弱点是怕高温和温度冲击，这在将穿心电容往金属面板上焊接

时造成很大困难。许多电容在焊接过程中发生损坏。特别是当需要将大量的穿心电容安装在面板上时，只要有一个损坏，就很难修复，因为在将损坏的电容拆下时，会造成邻近其它电容的损坏。

随着电子设备复杂程度的提高，设备内部强弱电混合安装、数字逻辑电路混合安装的情况越来越多，电路模块之间的相互骚扰成为严重的问题。解决这种电路模块相互骚扰的方法之一是用金属隔离舱将不同性质的电路隔离开。但是所有穿过隔离舱的导线要通过穿心电容，否则会造成隔离失效。当不同电路模块之间有大量的连线时，在隔离舱上安装大量的穿心电容是十分困难的事情。为了解决这个问题，国外许多厂商开发了“滤波阵列板”，这是用特殊工艺事先将穿心电容焊接在一块金属板构成的器件，使用滤波阵列板能够轻而易举地解决大量导线穿过金属面板的问题。但是这种滤波阵列板的价格往往较高，每针的价格约 30 元。

三、EMI/EMC 设计经典 85 问

1、为什么要对产品做电磁兼容设计？

答：满足产品功能要求、减少调试时间，使产品满足电磁兼容标准的要求，使产品不会对系统中的其它设备产生电磁干扰。

2、对产品做电磁兼容设计可以从哪几个方面进行？

答：电路设计（包括器件选择）、软件设计、线路板设计、屏蔽结构、信号线/电源线滤波、电路的接地方式设计。

3、在电磁兼容领域，为什么总是用分贝（dB）的单位描述？

答：因为要描述的幅度和频率范围都很宽，在图形上用对数坐标更容易表示，而 dB 就是用对数表示时的单位。

4、关于 EMC，我了解的不多，但是现在电路设计中数据传输的速率越来越快，我在制做 PCB 板的时候，也遇到了一些 PCB 的 EMC 问题，但是觉得太潜。我想好好在这方面学习学习，并不是随大流，大家学什么我就学什么，是自己真的觉得 EMC 在今后的电路设计中的重要性越来越大，就像我在前面说的，自己了解不深，不知道怎么入手，想问问，要在 EMC 方面做的比较出色，需要有哪些基础知识，应该学习哪些基础课程。如何学习才是一条比较好的道路，我知道任何一门学问学好都不容易，也不曾想过短期内把他搞通，只是希望给点建议，尽量少走一些弯路。

答：关于 EMC 需要首先了解一下 EMC 方面的标准，如 EN55022 (GB9254)，EN55024，以及简单测试原理，另外需要了解 EMI 元器件的使用，如电容，磁珠，差模电感，共模电感等，在 PCB 层面需要了解 PCB 的布局、层叠结构、高速布线对 EMC 的影响以及一些规则。还有一点就是对出现 EMC 问题需要掌握一些分析与解决思路。这些今后是作为一个硬件人员必须掌握的基本知识！

5、我是一个刚涉足 PCB 设计的新手，我想向您请教一下，要想做好 PCB 设计我应该多多掌握哪方面的知识？另外，在 PCB 设计中遇到的关于安规方面的知识一般在哪里能找到？盼望您的指点，不胜感激！

答：对于 PCB 设计应该掌握： 1、熟悉与掌握相关 PCB 设计软件，如 POWERPCB/CANDENCE 等；
2、了解熟悉所设计产品的具体架构，同时熟悉原理图电路知识，包含数字与模拟知识；
3、掌握 PCB 加工流程、工艺、可维护加工要求；
4、掌握 PCB 板高速信号完整性、电磁兼容(emi 与 ems)、SI、PI 仿真设计等相关的知识；
5、如果相关工作涉及射频，还需掌握射频知识；
6、对于 PCB 设计地的按规知识主要看 GB4943 或 UL60950，一般的绝缘间距要求通过查表可以得到！

6、电磁兼容设计基本原则

答：电子线路设计准则电子线路设计者往往只考虑产品的功能，而没有将功能和电磁兼容性综合考虑，因此产品在完成其功能的同时，也产生了大量的功能性骚扰及其它骚扰。而且，不能满足敏感度要求。电子线路的电磁兼容性设计应从以下几方面考虑：

元件选择在大多数情况下，电路的基本元件满足电磁特性的程度将决定着功能单元和最后的设备满足电磁兼容性的程度。选择合适的电磁元件的主要准则包括带外特性和电路装配技术。因为是否能实现电磁兼容性往往是由远离基频的元件响应特性来决定的。而在许多情况下，电路装配又决定着带外响应（例如引线长度）和不同电路元件之间互相耦合的程度。具体规则是：

- (1)在高频时，和引线型电容器相比，应优先进用引线电感小的穿心电容器或支座电容器来滤波。
- (2)在必须使用引线式电容时，应考虑引线电感对滤波效率的影响。
- (3)铝电解电容器可能发生几微秒的暂时性介质击穿，因而在纹波很大或有瞬变电压的电路里，应该使用固体电容器。
- (4)使用寄生电感和容量小的电阻器。片状电阻器可用于超高频段。
- (5)大电感寄生电容大，为了提高低频部分的插损，不要使用单节滤波器，而应该使用若干小电感组成的多节滤波器。
- (6)使用磁芯电感要注意饱和特性，特别要注意高电平脉冲会降低磁芯电感的电感量和在滤波器电路中的插损。
- (7)尽量使用屏蔽的继电器并使屏蔽壳体接地。
- (8)选用有效地屏蔽、隔离的输入变压器。
- (9)用于敏感电路的电源变压器应该有静电屏蔽，屏蔽壳体和变压器壳体都应接地。
- (10)设备内部的互连信号线必须使用屏蔽线，以防它们之间的骚扰耦合。
- (11)为使每个屏蔽体都与各自的插针相连，应选用插针足够多的插头座。

7、方波脉冲驱动电感传感器的问题

- 答：1、信号测试过程中，尽量在屏蔽环境下进行，如果不便的话，至少要屏蔽传感器和前级。
- 2、测试过程中尽量使用差分探头，或至少要尽可能减短探头的接地线长度。这样能减少测试误差。
- 3、你的电路实际工作频率并不太高，可以通过布线减少振铃。为了噪声特性更好，应当考虑共模信号的抑制问题，必要时插入共扼电抗器，同时注意整个工作环境中的开关电源噪声，以及避免电源耦合。
- 4、如果传感器允许，可以使用电流放大模式，这有利于提高速度，降低噪声。模拟开关尽量放到前置放大器之后，尽管多了一路前放，但性能提高不少，而且降低调试难度。
- 5、如果十分介意波形，考虑额外的频率补偿。如果仅仅是数字检测，则应当降低工作频率。总而言之，能低频则低频，能隔直则隔直。
- 6、注意 AD 转换前的抗混叠滤波，以及软件滤波，提高数据稳定性。

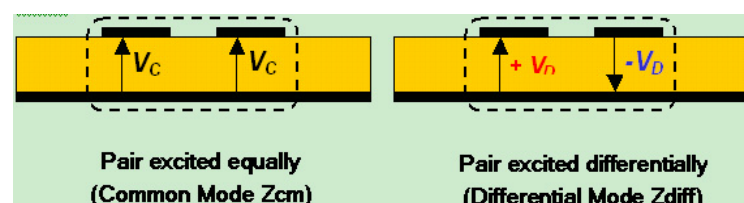
8、GPS电磁干扰现象表现：尤其是GPS应用在PMP这种产品，功能是MP4、MP3、FM调频+GPS导航功能的手持车载两用的GPS终端产品，一定得有一个内置GPS Antenna，这样GPS Antenna与GPS终端产品上的MCU、SDROM、晶振等元器件很容易产生EMI/EMC电磁干扰，致使GPS Antenna的收星能力下降很多，几乎没办法正常定位。采取什么样的办法可以解决这样的EMI/EMC电磁干扰？

答：可以在上面加上 ESD Filter，既有防静电又能抗电磁干扰。我们的手机客户带 GPS 功能的就用的这个方法。做这些的厂家有泰克（瑞侃），佳邦，韩国 ICT 等等很多。

9、板上几乎所有的重要信号线都设计成差分线对，目的在增强信号抗干扰能力。那俺一直有很多困惑的地方：1. 是否差分信号只定义在仿真信号或数字信号或都有定义？2. 在实际的线路图中差分线对上的网罗如滤波器，应如何分析其频率响应，是否还是与分析一般的二端口网罗的方法一样？3. 差分线对上承载的差分信号如何转换成一般的信号？差分线对上的信号波形是怎样的，相互之间的关系如何？

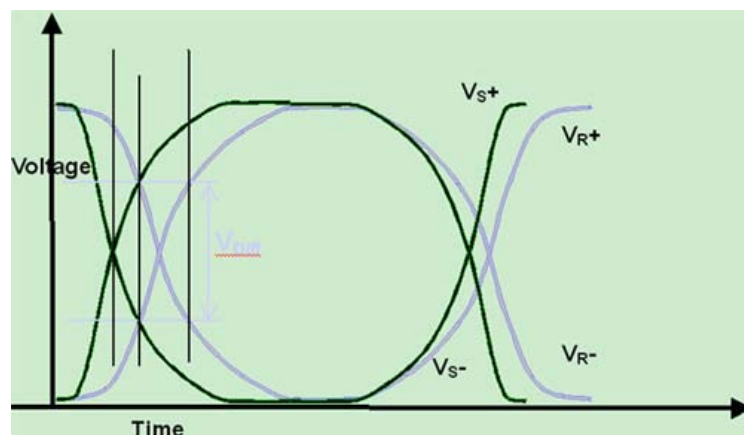
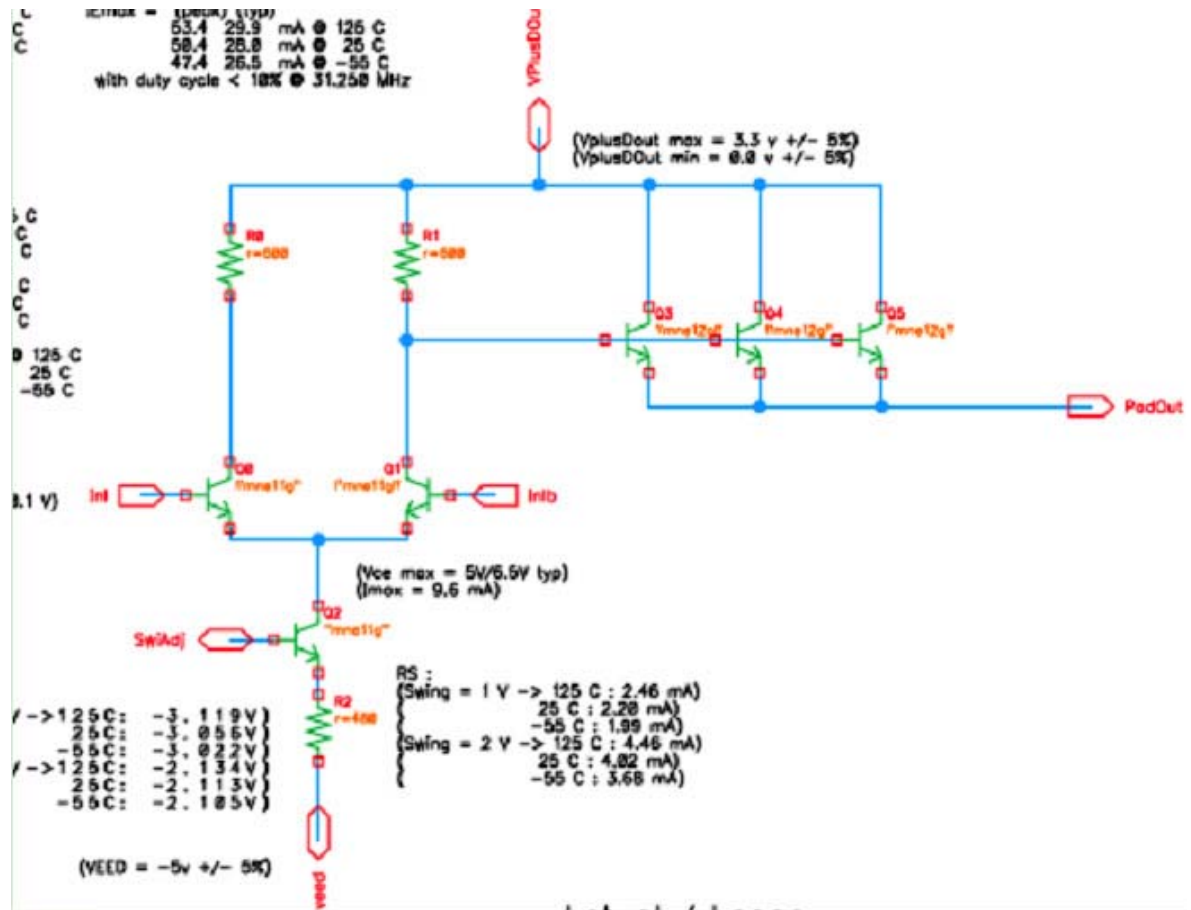
答：1，差分信号只是使用两根信号线传输一路信号，依靠信号间电压差进行判决的电路，既可以是模拟信号，也可以是数字信号。实际的信号都是模拟信号，数字信号只是模拟信号用门限电平量化后的取样结果。因此差分信号对于数字和模拟信号都可以定义。

2，差分信号的频率响应，这个问题好。实际差分端口是一个四端口网络，它存在差模和共模两种分析方式。如下图所示。在分析频率相应的时候，要分别添加同极性的共模扫频源和互为反极性的差模扫频源。而相应端需要相应设置共模电压测试点 $V_{cm} = (V_1 + V_2) / 2$ ，和差模电压测试点 $V_{dm} = V_1 - V_2$ 。网络上有很多关于差分信号阻抗计算和原理的文章，可以详细了解一下。



3，差分信号通常进入差分驱动电路，放大后得到差分信号。最简单的就是差分共射镜像放大器电路了，这个在一般的模拟电路教材都有介绍。下图是某差分放大器件的 spice 电路图和输出信号波形，一般需要他

们完全反相，有足够的电压差大于差模电压门限。当然信号不可避免有共模成分，所以差分放大器一个很重要的指标就是共模抑制比 $K_{cmr} = A_{dm}/A_{cm}$ 。



10、我为单位的直流磁钢电机设计了一块调速电路，电源端以用 0.33uf+夏普电视机电感+0.33uf 后不理想，后用 4 只电感串在 PCB 板电源端，但在 30~50MHz 之间超了 12db，该如何处理？

答：通常来讲，LC 或 PI 型滤波电路比单一的电容滤波或电感滤波效果要好。您所谓的电源端以用 0.33uf+夏普电视机电感+0.33uf 后不理想不知道是什么意思？是辐射超标吗？在什么频段？我猜测直流磁钢电机供电回路中，反馈噪声幅度大，频率较低，需要感值大一点电感滤波，同时采用多级电容滤波，效果会好一些。

11、最近正想搞个 0—150M，增益不小于 80 DB 的宽带放大器，！请问在 EMC 方面应该注意什么问题呢？

答 1：宽带放大器设计时特别要注意低噪声问题，比如要电源供给必须足够稳定等。

答 2：1. 注意输入和输出的阻抗匹配问题，比如共基输入射随输出等
2. 各级的退耦问题，包括高频和低频纹波等
3. 深度负反馈，以及防止自激振荡和环回自激等
4. 带通滤波器的设计问题

答 3：实在不好回答，看不到实际的设计，一切建议还是老生常谈：注意 EMC 的三要素，注意传导和辐射路径，注意电源分配和地弹噪声。150MHz 是模拟信号带宽，数字信号的上升沿多快呢？如果转折频率也在 150MHz 以下，个人认为，传导耦合，电源平面辐射将是主要考虑的因素，先做好电源的分配，分割和去耦电路吧。80dB，增益够高的，做好前级小信号及其参考电源和地的隔离保护，尽量降低这个部分的电源阻抗。

12、求教小功率直流永磁电机设计中 EMC 的方法和事项。生产了一款 90W 的直流永磁电机(110~120V，转速 2000/分钟)EMC 一直超标，生产后先把 16 槽改 24 槽，有做了轴绝缘，未能达标！现在又要设计生产 125W 的电机，如何处理？

答：直流永磁电机设计中 EMC 问题，主要由于电机转动中产生反电动势和换相时引起的打火。具体分析，可以使用 RMXpert 来设计优化电机参数，Maxwell12D 来仿真 EMI 实际辐射。

13、是否可用阻抗边界（Impedance）方式设定？或者用类似的分层阻抗 RLC 阻抗？又或者使用 designer 设计电路和 hfss 协同作业？

答：集中电阻可以用 RLC 边界实现；如果是薄膜电阻，可以用面阻抗或阻抗编辑实现。

14、我现在在对外壳有一圈金属装饰件的机器做静电测试，测试中遇到：接触放电 4k 时 32k 晶振没问题，空气放电 8k 停振的问题，如何处理？

答：有金属的话，空气放电和接触放电效果差不多，建议你在金属支架上喷绝缘漆试试。

15、我们现在测量 PCB 电磁辐射很麻烦，采用的是频谱仪加自制的近场探头，先不说精度的问题，光是遇到大电压的点都很头疼，生怕频谱仪受损。不知能否通过仿真的方法解决。

答：首先，EMI 的测试包括近场探头和远场的辐射测试，任何仿真工具都不可能替代实际的测试；其次，Ansoft 的 PCB 单板噪声和辐射仿真工具 SIwave 和任意三维结构的高频结构仿真器 HFSS 分别可以仿真单板和系统的近场和远场辐射，以及在有限屏蔽环境下的 EMI 辐射。仿真的有效性，取决于你对自己设计的 EMI 问题的考虑以及相应的软件设置。例如：单板上差模还是共模辐射，电流源还是电压源辐射等等。就我们的一些实践和经验，绝大多数的 EMI 问题都可以通过仿真分析解决，而且与实际测试比较，效果非常好。

16、听说 Ansoft 的 EMC 工具一般仿真 1GHz 以上频率的，我们板上频率最高的时钟线是主芯片到 SDRAM 的只有 133MHz，其余大部分的频率都是 KHz 级别的。我们主要用 Hyperlynx 做的 SI/PI 设计，操作比较简单，但是现在整板的 EMC 依旧超标，影响画面质量。另外，你们的工具和 Mentor PADS 有接口吗？

答：Ansoft 的工具可以仿真从直流到几十 GHz 以上频率的信号，只是相对其它工具而言，1GHz 以上的有损传输线模型更加精确。据我所知，HyperLynx 主要是做 SI 和 crosstalk 的仿真，以及一点单根信号线的 EMI 辐射分析，目前还没有 PI 分析的功能。影响单板的 EMC 的原因很多，解决信号完整性和串扰只是解决 EMC 的其中一方面，电源平面的噪声，去耦策略，屏蔽方式，电流分布路径等都会影响到 EMC 指标。这些都可以再 ansoft 的 SIwave 工具中，通过仿真进行考察。补充说明，ansoft 的工具与 Mentor PADS 有接口。

17、请说明一下什么时候用分割底层来减少干扰，什么时候用地层分区来减少干扰。

答：分割底层，我还没听说过，什么意思？是否能举个例子。地层分割，主要是为了提高干扰源和被干扰体之间的隔离度，如数模之间的隔离。当然分割也会带来诸如跨分割等信号完整性问题，利用 ansoft 的 SIwave 可以方便的检查任意点之间的隔离度。当然提高隔离度，还有其它办法，分层、去耦、单点连接、都是办法，具体应用的效果可以用软件仿真。

18、电容跨接两个不同的电源铜箔分区用作高频信号的回流路径，众所周知电容隔直流通交流，频率越高电流越流畅，我的疑惑是现今接入 PCB 中的电平大都是经过虑除交流的，那么如前所述电容通过的是什么呢？“交流的信号”吗？

答 1：这个问题很有点玄妙，没见过很服人的解释。对于交流，理想的是，电源和地“短路”，然而实际上其间的阻抗不可能真的是 0 欧。你说的电容，容量不能太大，以体现出“低频一点接地，搞频多点接地”这一原则。这大概就是该电容的存在价值。经常遇到这样的情况：2 个各自带有电源的部件连接后，产生了莫名其妙的干扰，用个瓷片电容跨在 2 个电源间，干扰就没了。

答 2：该电容是用来做稳压和 EMI 用的，通过的是交流信号。“现今接入 PCB 中的电平大都是经过虑除交流的”的确如此，不过别忘了，数字电路本身就会产生交流信号而对电源造成干扰，当大量的开关管同时作用时，对电源造成的波动是非常大的。不过在实际中，这种电容主要是起到辅助的作用，用来提高系统的性能，其它地方设计的好的话，完全可以不要。

答 3：交流即是变化的。对于所谓的直流电平，比如电源来说，由于布线存在阻抗，当他的负载发生变化，对电源的需求就会变化，或大或小。这种情况下，“串联”的布线阻抗就会产生或大或小的压降。于是，直流电源上就有了交流的信号。这个信号的频率与负责变化的频率有关。电容的作用在于，就近存储一定的电荷能量，让这种变化所需要的能量可以直接从电容处获得。近似地，电容（这时可以看成电源啦）和负

载之间好像就有了一条交流回路。电容起到交流回路的作用，大致就是这样的吧……

19、公司新做了一款手机，在做 3C 认证时有一项辐射指标没过，频率为 50-60M，超过了 5dB，应该是充电器引起的，就加了几个电容，其它的没有，电容有 1uF，100uF 的。请问有没有什么好的解决方案（不改充电器只更改手机电路）。在手机板的充电器的输入端加电容能解决吗？

答 1：电容大的加大，小的改小，串个 BIT，不过是电池导致的可能性不是很大。

答 2：你将变频电感的外壳进行对地短接和屏蔽试试。

20、PCB 设计如何避免高频干扰？

答：避免高频干扰的基本思路是尽量降低高频信号电磁场的干扰，也就是所谓的串扰 (Crosstalk)。可用拉大高速信号和模拟信号之间的距离，或加 ground guard/shunt traces 在模拟信号旁边。还要注意数字地对模拟地的噪声干扰。

21、PCB 设计中如何解决高速布线与 EMI 的冲突？

答：因 EMI 所加的电阻电容或 ferrite bead，不能造成信号的一些电气特性不符合规范。所以，最好先用安排走线和 PCB 叠层的技巧来解决或减少 EMI 的问题，如高速信号走内层。最后才用电阻电容或 ferrite bead 的方式，以降低对信号的伤害。

22、若干 PCB 组成系统，各板之间的地线应如何连接？

答：各个 PCB 板子相互连接之间的信号或电源在动作时，例如 A 板子有电源或信号送到 B 板子，一定会有等量的电流从地层流回到 A 板子（此为 Kirchoff current law）。这地层上的电流会找阻抗最小的地方流回去。所以，在各个不管是电源或信号相互连接的接口处，分配给地层的管脚数不能太少，以降低阻抗，这样可以降低地层上的噪声。另外，也可以分析整个电流环路，尤其是电流较大的部分，调整地层或地线的接法，来控制电流的走法（例如，在某处制造低阻抗，让大部分的电流从这个地方走），降低对其它较敏感信号的影响。

23、PCB 设计中差分信号线中间可否加地线？

答：差分信号中间一般是不能加地线。因为差分信号的应用原理最重要的一点便是利用差分信号间相互耦合 (coupling) 所带来的好处，如 flux cancellation，抗噪声 (noise immunity) 能力等。若在中间加地线，便会破坏耦合效应。

34、适当选择 PCB 与外壳接地的点的原则是什么？

答：选择 PCB 与外壳接地点选择的原理是利用 chassis ground 提供低阻抗的路径给回流电流 (returning current) 及控制此回流电流的路径。例如，通常在高频器件或时钟产生器附近可以借固定用的螺丝将 PCB 的地层与 chassis ground 做连接，以尽量缩小整个电流回路面积，也就减少电磁辐射。

25、在电路板尺寸固定的情况下，如果设计中需要容纳更多的功能，就往往需要提高 PCB 的走线密度，但是这样有可能导致走线的相互干扰增强，同时走线过细也使阻抗无法降低，请介绍在高速 (>100MHz) 高密度 PCB 设计中的技巧？

答：在设计高速高密度 PCB 时，串扰 (crosstalk interference) 确实是要特别注意的，因为它对时序 (timing) 与信号完整性 (signal integrity) 有很大的影响。以下提供几个注意的地方：

1. 控制走线特性阻抗的连续与匹配。
2. 走线间距的大小。一般常看到的间距为两倍线宽。可以透过仿真来知道走线间距对时序及信号完整性的影响，找出可容忍的最小间距。不同芯片信号的结果可能不同。
3. 选择适当的端接方式。
4. 避免上下相邻两层的走线方向相同，甚至有走线正好上下重叠在一起，因为这种串扰比同层相邻走线的情形还大。
5. 利用盲埋孔 (blind/buried via) 来增加走线面积。但是 PCB 板的制作成本会增加。在实际执行时确实很难达到完全平行与等长，不过还是要尽量做到。

除此以外，可以预留差分端接和共模端接，以缓和对时序与信号完整性的影响。

26、PCB 设计中模拟电源处的滤波经常是用 LC 电路。但是为什么有时 LC 比 RC 滤波效果差？

答：LC 与 RC 滤波效果的比较必须考虑所要滤掉的频带与电感值的选择是否恰当。因为电感的感抗 (reactance) 大小与电感值和频率有关。如果电源的噪声频率较低，而电感值又不够大，这时滤波效果可能不如 RC。但是，使用 RC 滤波要付出的代价是电阻本身会耗能，效率较差，且要注意所选电阻能承受的功率。

27、PCB 设计中滤波时选用电感，电容值的方法是什么？

答：电感值的选用除了考虑所想滤掉的噪声频率外，还要考虑瞬时电流的反应能力。如果 LC 的输出端会有机会需要瞬间输出大电流，则电感值太大会阻碍此大电流流经此电感的速度，增加纹波噪声 (ripple noise)。电容值则和所能容忍的纹波噪声规范值的大小有关。纹波噪声值要求越小，电容值会较大。而电容的 ESR/ESL 也会有影响。另外，如果这 LC 是放在开关式电源 (switching regulation power) 的输出端时，还要注意此 LC 所产生的极点零点 (pole/zero) 对负反馈控制 (negative feedback control) 回路稳定度的影响。

28、EMI 的问题和信号完整性的问题，是相互关联的，如何在定义标准的过程中，平衡两者？

答：信号完整性和 EMC 还处于草案中不便于公开，至信号完整性和 EMI 两者如何平衡，这不是测试规范的事，如果要达到二者平衡，最好是降低通信速度，但大家都不认可。

29、PCB 设计中如何尽可能的达到 EMC 要求，又不致造成太大的成本压力？

答：PCB 板上会因 EMC 而增加的成本通常是因增加地层数目以增强屏蔽效应及增加了 ferrite bead、choke 等抑制高频谐波器件的缘故。除此之外，通常还是需搭配其它机构上的屏蔽结构才能使整个系统通过 EMC

的要求。以下仅就 PCB 板的设计技巧提供几个降低电路产生的电磁辐射效应。

- 1、尽可能选用信号斜率(slew rate)较慢的器件，以降低信号所产生的高频成分。
- 2、注意高频器件摆放的位置，不要太靠近对外的连接器。
- 3、注意高速信号的阻抗匹配，走线层及其回流电流路径(return current path)，以减少高频的反射与辐射。
- 4、在各器件的电源管脚放置足够与适当的去耦合电容以缓和电源层和地层上的噪声。特别注意电容的频率响应与温度的特性是否符合设计所需。
- 5、对外的连接器附近的地可与地层做适当分割，并将连接器的地就近接到 chassis ground。
- 6、可适当运用 ground guard/shunt traces 在一些特别高速的信号旁。但要注意 guard/shunt traces 对走线特性阻抗的影响。
- 7、电源层比地层内缩 $20H$ ， H 为电源层与地层之间的距离。

30、PCB 设计中当一块 PCB 板中有多个数/模功能块时，常规做法是要将数/模地分开，原因何在？

答：将数/模地分开的原因是因为数字电路在高低电位切换时会在电源和地产生噪声，噪声的大小跟信号的速度及电流大小有关。如果地平面上不分割且由数字区域电路所产生的噪声较大而模拟区域的电路又非常接近，则即使数模信号不交叉，模拟的信号依然会被地噪声干扰。也就是说数模地不分割的方式只能在模拟电路区域距产生大噪声的数字电路区域较远时使用。

31、在高速 PCB 设计时，设计者应该从哪些方面去考虑 EMC、EMI 的规则呢？

答：一般 EMI/EMC 设计时需要同时考虑辐射(radiated)与传导(conducted)两个方面。前者归属于频率较高的部分($>30\text{MHz}$)后者则是较低频的部分($<30\text{MHz}$)。所以不能只注意高频而忽略低频的部分。一个好的 EMI/EMC 设计必须一开始布局时就要考虑到器件的位置，PCB 迭层的安排，重要联机的走法，器件的选择等，如果这些没有事前有较佳的安排，事后解决则会事倍功半，增加成本。例如时钟产生器的位置尽量不要靠近对外的连接器，高速信号尽量走内层并注意特性阻抗匹配与参考层的连续以减少反射，器件所推的信号之斜率(slew rate)尽量小以减低高频成分，选择去耦合(decoupling/bypass)电容时注意其频率响应是否符合需求以降低电源层噪声。另外，注意高频信号电流之回流路径使其回路面积尽量小(也就是回路阻抗 loop impedance 尽量小)以减少辐射。还可以用分割地层的方式以控制高频噪声的范围。最后，适当的选择 PCB 与外壳的接地点(chassis ground)。

32、PCB 设计时，怎样通过安排迭层来减少 EMI 问题？

答：首先，EMI 要从系统考虑，单凭 PCB 无法解决问题。层叠对 EMI 来讲，我认为主要是提供信号最短回流路径，减小耦合面积，抑制差模干扰。另外地层与电源层紧耦合，适当比电源层外延，对抑制共模干扰有好处。

33、PCB 设计时，为何要铺铜？

答：一般铺铜有几个方面原因：

- 1，EMC. 对于大面积的地或电源铺铜，会起到屏蔽作用，有些特殊地，如 PGND 起到防护作用。

2, PCB 工艺要求。一般为了保证电镀效果, 或者层压不变形, 对于布线较少的 PCB 板层铺铜。

3, 信号完整性要求, 给高频数字信号一个完整的回流路径, 并减少直流网络的布线。

当然还有散热, 特殊器件安装要求铺铜等等原因。

34、**安规问题: FCC、EMC 的具体含义是什么?**

答: FCC: federal communication commission 美国通信委员会; EMC: electro magnetic compatibility 电磁兼容。FCC 是个标准组织, EMC 是一个标准。标准颁布都有相应的原因, 标准和测试方法。

35、**在做 pcb 板的时候, 为了减小干扰, 地线是否应该构成闭合形式?**

答: 在做 PCB 板的时候, 一般来讲都要减小回路面积, 以便减少干扰, 布地线的时候, 也不应布成闭合形式, 而是布成树枝状较好, 还有就是尽可能增大地的面积。

36、**PCB 设计中, 如何避免串扰?**

答: 变化的信号(例如阶跃信号)沿传输线由 A 到 B 传播, 传输线 C-D 上会产生耦合信号, 变化的信号一旦结束也就是信号恢复到稳定的直流电平时, 耦合信号也就不存在了, 因此串扰仅发生在信号跳变的过程当中, 并且信号沿的变化(转换率)越快, 产生的串扰也就越大。空间中耦合的电磁场可以提取为无数耦合电容和耦合电感的集合, 其中由耦合电容产生的串扰信号在受害网络上可以分成前向串扰和反向串扰 S_c , 这两个信号极性相同; 由耦合电感产生的串扰信号也分成前向串扰和反向串扰 S_L , 这两个信号极性相反。耦合电感电容产生的前向串扰和反向串扰同时存在, 并且大小几乎相等, 这样, 在受害网络上的前向串扰信号由于极性相反, 相互抵消, 反向串扰极性相同, 叠加增强。串扰分析的模式通常包括默认模式, 三态模式和最坏情况模式分析。默认模式类似我们实际对串扰测试的方式, 即侵害网络驱动器由翻转信号驱动, 受害网络驱动器保持初始状态(高电平或低电平), 然后计算串扰值。这种方式对于单向信号的串扰分析比较有效。三态模式是指侵害网络驱动器由翻转信号驱动, 受害的网络的三态终端置为高阻状态, 来检测串扰大小。这种方式对双向或复杂拓扑网络比较有效。最坏情况分析是指将受害网络的驱动器保持初始状态, 仿真器计算所有默认侵害网络对每一个受害网络的串扰的总和。这种方式一般只对个别关键网络进行分析, 因为要计算的组合太多, 仿真速度比较慢。

37、**在 EMC 测试中发现时钟信号的谐波超标十分严重, 只是在电源引脚上连接去耦电容。在 PCB 设计中需要注意哪些方面以抑止电磁辐射呢?**

答: EMC 的三要素为辐射源, 传播途径和受害体。传播途径分为空间辐射传播和电缆传导。所以要抑制谐波, 首先看看它传播的途径。电源去耦是解决传导方式传播, 此外, 必要的匹配和屏蔽也是需要的。

38、**在 PCB 设计中, 通常将地线又分为保护地和信号地; 电源地又分为数字地和模拟地, 为什么要对地线进行划分?**

答: 划分地的目的主要是出于 EMC 的考虑, 担心数字部分电源和地上的噪声会对其它信号, 特别是模拟信号通过传导途径有干扰。至于信号的和保护地的划分, 是因为 EMC 中 ESD 静放电的考虑, 类似于我们生活中避雷针接地的作用。无论怎样分, 最终的大地只有一个。只是噪声泻放途径不同而已。

39、PCB 设计中，在布时钟时，有必要两边加地线屏蔽吗？

答：是否加屏蔽地线要根据板上的串扰/EMI 情况来决定，而且如对屏蔽地线的处理不好，有可能反而会使情况更糟。

40、近端串扰和远端串扰与信号的频率和信号的上升时间是否有关系？是否会随着它们变化而变化？如果有关系，能否有公式说明它们之间的关系？

答：应该说侵害网络对受害网络造成的串扰与信号变化沿有关，变化越快，引起的串扰越大， $(V=L*di/dt)$ 。串扰对受害网络上数字信号的判决影响则与信号频率有关，频率越快，影响越大。

41、在设计 PCB 板时，有如下两个叠层方案：叠层 1 》信号 》地 》信号 》电源+1.5V 》信号 》电源+2.5V 》信号 》电源+1.25V 》电源+1.2V 》信号 》电源+3.3V 》信号 》电源+1.8V 》信号 》地 》信号 叠层 2 》信号 》地 》信号 》电源+1.5V 》信号 》地 》信号 》电源+1.25V+1.8V 》电源+2.5V+1.2V 》信号 》地 》信号 》电源+3.3V 》信号 》地 》信号 哪一种叠层顺序比较优选？对于叠层 2，中间的两个分割电源层是否会对相邻的信号层产生影响？这两个信号层已经有地平面对信号作为回流路径。

答：应该说两种层叠各有好处。第一种保证了平面层的完整，第二种增加了地层数目，有效降低了电源平面的阻抗，对抑制系统 EMI 有好处。理论上讲，电源平面和地平面对于交流信号是等效的。但实际上，地平面具有比电源平面更好的交流阻抗，信号优选地平面作为回流平面。但是由于层叠厚度因素的影响，例如信号和电源层间介质厚度小于与地之间的介质厚度，第二种层叠中跨分割的信号同样在电源分隔处存在信号回流不完整的问题。

42、在使用 protel 99se 软件设计 PCB 时，处理器的是 89C51，晶振 12MHZ 系统中还有一个 40KHZ 的超声波信号和 800hz 的音频信号，此时如何设计 PCB 才能提供高抗干扰能力？对于 89C51 等单片机而言，多大的信号的时候能够影响 89C51 的正常工作？除了拉大两者之间的距离之外，还有没有其它的技巧来提高系统抗干扰的能力？

答：PCB 设计提供高抗干扰能力，当然需要尽量降低干扰源信号的信号变化沿速率，具体多高频率的信号，要看干扰信号是那种电平，PCB 布线多长。除了拉开间距外，通过匹配或拓扑解决干扰信号的反射，过冲等问题，也可以有效降低信号干扰。

43、请问在 PCB 布线中电源的分布和布线是否也需要象接地一样注意。若不注意会带来什么样的问题？会增加干扰么？

答：电源若作为平面层处理，其方式应该类似于地层的处理，当然，为了降低电源的共模辐射，建议内缩 20 倍的电源层距地层的高度。如果布线，建议走树状结构，注意避免电源环路问题。电源闭环会引起较大的共模辐射。

44、我做了个 TFT LCD 的显示屏，别人在做 EMC 测试时，干扰信号通过空间传导过来，导致屏幕显示的图象会晃动，幅度挺大的。谁能指点下，要怎么处理！是在几股信号线上加 干扰脉冲群，具体是叫什么名

字我也不太清楚，干扰信号通过信号线辐射出来的。

答：如果是单独的 LCD，EMC 测试中的脉冲群试验几乎是过不去的，特别是用耦合钳的时候，会够你受的了。如果是仪器中用到了 LCD，就不难解决了，例如信号线的退耦处理，导电膏适当减小 LCD 入口的阻抗，屏表面加屏蔽导电丝网等。

45、前段时间 EMC 测试，GSM 固定无线电话在 100MHz-300MHz 之间有辐射杂散现象。之后，公司寄给我两部喷有静电漆的屏蔽外壳话机，实验室不准换整部话机，我就把喷有铁磁性材料的静电漆的外壳换到了要修改测试的话机上。测试结果显示以前的杂散现象没有了，但是主频出现了问题，话机工作的主频是 902MHz，但在 905-910MHz 之间又出现了几个频率，基本情况就是这样。修改过程中，我只换了外壳，电路板和硬件都没有做任何修改。

答：话机种类可以理解为：无线手机、无绳电话等等。需要明确一下：话机的类型、主机工作频率范围以及机壳静电喷涂材料的类型：如铁磁类或非铁磁类导电材料以及导电率等。

46、使用 Protel Dxp 实心敷铜时选 pour over all same net objects 有什么副作用？会不会引起干扰信号在整块板上乱窜，从而影响性能？我做的是一块低频的数据采集卡，这个问题可能不需要担心，但还是想搞清楚。

答 1：对于模、数混合的 PCB 板，模、数、地建议分开，最后再同点接地，如用“瓷珠”或 0 欧姆电阻连接。高速的数据线最好有两根地线平行走，可以减少干扰。

答 2：pour over all same net objects 对信号的性能没有什么影响，只是对一些焊盘的焊接有影响，散热比较快。这样做对 EMI 应该是有好处的。增加焊盘与铜的接触面积。

答 3：实心敷铜时选 pour over all same net objects 不会有副作用。应该选择为铺花焊盘而不是实心焊盘，因为实心焊盘散热快，可能导致回流焊时发生立碑的情况。

47、请问什么是磁珠，有什么用途？磁珠连接、电感连接或者 0 欧姆电阻连接又是什么？

答：磁珠专用于抑制信号线、电源线上的高频噪声和尖峰干扰，还具有吸收静电脉冲的能力。

磁珠是用来吸收超高频信号，象一些 RF 电路，PLL，振荡电路，含超高频存储器电路（DDR SDRAM，RAMBUS 等）都需要在电源输入部分加磁珠，而电感是一种蓄能元件，用在 LC 振荡电路，中低频的滤波电路等，其应用频率范围很少超过 50MHz。

磁珠的功能主要是消除存在于传输线结构（电路）中的 RF 噪声，RF 能量是叠加在直流传输电平上的交流正弦波成分，直流成分是有用的有用信号，而射频 RF 能量却是无用的电磁干扰沿着线路传输和辐射（EMI）。要消除这些不需要的信号能量，使用片式磁珠扮演高频电阻的角色（衰减器），该器件允许直流信号通过，而滤除交流信号。通常高频信号为 30MHz 以上，然而，低频信号也会受到片式磁珠的影响。

要正确的选择磁珠，必须注意以下几点：

- 1、不需要的信号的频率范围为多少；
- 2、噪声源是谁；
- 3、需要多大的噪声衰减；
- 4、环境条件是什么（温度，直流电压，结构强度）；
- 5、电路和负载阻抗是多少；
- 6、是否有空间在 PCB 板上放置磁珠；

前三条通过观察厂家提供的阻抗频率曲线就可以判断。在阻抗曲线中三条曲线都非常重要，即电阻，感抗和总阻抗。总阻抗通过 $ZR22 \pi fL() 2+:=fL$ 来描述。通过这一曲线，选择在希望衰减噪声的频率范围内具有最大阻抗而在低频和直流下信号衰减尽量小的磁珠型号。片式磁珠在过大的直流电压下，阻抗特性会受到影响，另外，如果工作温升过高，或者外部磁场过大，磁珠的阻抗都会受到不利的影 响。使用片式磁珠和片式电感的原因：是使用片式磁珠还是片式电感主要还在于应用。在谐振电路中需要使用片式电感。而需要消除不需要的 EMI 噪声时，使用片式磁珠是最佳的选择。

48、刚才是做硬件设计的工作。请教各位怎么样确定消除导线间串扰得电容容值。

答：在 PCB 布线时应该注意不要有太长的平行走线，尤其是高速或高摆幅信号。如果无法避免，其间保持足够的距离或者添加地线隔离。受体积限制和抗干扰要求高的部位可用金属屏蔽合隔离。

49、在实际做产品的时候发现了一个很头疼的问题。将开发的样机放在某个干扰很厉害的车上的时候，为了解决续流的问题，讲一个小电瓶并接在汽车的电源上（加了一个二极管防止小电瓶的电压被拉跨。）但是发现一旦与汽车的打铁地线一连接，终端就会被干扰。有好的建议吗？

答：这是很明显的 EMC 问题，车上电火花干扰，导致你的终端设备被干扰，这个干扰可能是辐射，也可能是传导到你的终端。

这个问题很多种原因：

- 1、接地问题，你的终端主板上地线的走线问题，布铜的情况
- 2、外壳的屏蔽问题，做好是金属外壳，将不是金属部分外壳用锡箔封上，可以一试
- 3、线路板的布局，电源部分和 CPU 部分尽量分开，电源部分走线要尽量粗，尽量短，布线规则很重要
- 4、线路板的层数比较重要，一般汽车上电子产品主板最好是至少 4 层板，两层板抗干扰可能较差
- 5、加磁环，你可以考虑在做试验时在电源线上套上磁环

当然可能还有很多别的解决方法，具体情况可能不一样，希望你能够有所帮助

50、问在电路中，为什么在 SCL、SDA、AS 都串联一个电阻，电阻的大小在电路中都会有什么影响？

答：上拉是增加抗干扰能力的，一般取值 $V_{cc}/1mA \sim 10K$ ；串联是阻尼用的，一般取 $33\Omega \sim 470\Omega$ ，即当

信号线上的脉冲频率较高时将会从线的一端反射到另一端，这将可能影响数据及有 EMI，加串一个电阻在线中间将可有效控制这种反射。

51、品在做 CE/FCC 测试时，如果在 200MHz 时辐射偏高，超过可接受的范围，应该怎么消除，磁珠应该怎么选择，另外晶振倍频部分的辐射应该如何去消除。

答：你谈到的问题实在是太简单，没有办法给你非常准确的答复，不过根据我个人的经验，给点思考的方法。

如果你能肯定是倍频，则主要对产生倍频的器件进行进行处理，这应该是有目标的，在处理是可以直接试一试，将产生倍频的器件进行一个简单的屏蔽（只需要用可乐罐做个屏蔽罩，关键是要注意接地。）在进行测试看看辐射值是否降低，如果降低则明确辐射的来源，在专门对其进行屏蔽处理。如果没有变化，则应重点考虑一下，露在外面的传输线，如果传输线能接地一定要接地，最好能采用屏蔽线试一试，看看有没有变化，以确认是否与传输线有关。最后就是箱体本身的屏蔽问题，这个问题比较复杂，而且成本较高，是在没有办法的情况才考虑解决的方式。这几种方式都尝试后，辐射值应该会降低的。

52、最近在写一个 2KW 的吸尘器软件，功能是实现了，但过不了 EMC。请指点下，软件上面采用哪种算法，可以过 EMC！功能简述如下：

- 1、软启动和软调速功能。（所谓软启动也就是电机慢慢的加速，速度不会突变）
- 2、可以调节电机的转速。
- 3、是用可控硅控制电机的。控制方式是对正弦波斩波。

在硬件方面，电路很简单，硬件处理 EMC 就只有一个 0.1uF 的安规电容。

答：和硬件方面沟通，可能要多下功夫，单纯软件很难解决。

53、DECODER 中的 DA 的转换频率从芯片里面顺电源和地辐射出来，为 166M。我在电源上并了个 1N，或 630P，或 30P 但都屡不掉。两层板，电源回路很短，请给点建议，并分析下滤不掉的原因。

答 1：电源的质量差（负载能力），DA 应该单独用一个电源。

答 2：首先检查输出端接地是否良好，在将信号输出端口串 BEAD 试试。

答 3：我认为你可以将其地用 100M 磁珠损号 166M 高频。

54、要做多路的温度采集，用的是 K 型热电偶，电源用电荷泵转换模块，信号调理部分想用 AD620 和 OP07 做二级放大，现在有几个地方不太有把握，请做过的帮忙！

一是电源，我现在在用 12v 电瓶供电，用电荷泵转换成 +/-12v，这样的电压有一定的纹波，对信号的采集比较不利，是否该直接用电瓶电压做成单电源的呢？

二是热电偶的两个信号端是否按 AD620 的数据手册上例子一样直接输入 AD620 的输入端即可，我看手册上

还有 EMI FILTER 的部分，这部分对测量热电偶的情况应该怎么加进去呢？热电偶的冷端是该接地还是接一个稳定的电压呢？

三，因为我要求的温度涉及到零下，因此 AD620 输出后要分别经过同相放大和反相放大再送入 A/D 端口，我打算用 OP07 制作二级滤波，一级是无限增益滤波电路，二级是同相放大 2 倍和反相放大 2 倍的滤波电路，不知道这样可不可以？

答：如你的热电偶的冷端接地（许多设备热电偶一端已接地），而且测温零度以下，你最好还是用 +/- 电源。这是通常的做法。电源的纹波要好，但不一定正负对称，你可再加稳定的 LDO 实现。低频滤波对结果很有影响，但一级滤波应能满足，EMI 部分要看你的应用环境。对多路测温，你可将多路器放在放大之前以降低成本。多路器应要差分输入，热电偶输入导线也应是热电偶型的，挺贵的。

55、电磁兼容的一些基本问题：认证中经常遇到的一些 EMC 问题。

答：下面是总结出来的一些针对于电子产品中的部分问题。

一般电子产品都最容易出的问题有：RE—辐射，CE—传导，ESD—静电。

通讯类电子产品不光包括以上三项：RE，CE，ESD，还有 Surge—浪涌（雷击，打雷）

医疗器械最容易出现的问题是：ESD—静电，EFT—瞬态脉冲抗干扰，CS—传导抗干扰，RS—辐射抗干扰
针对于北方干燥地区，产品的 ESD—静电要求要很高。

针对于像四川和一些西南多雷地区，EFT 防雷要求要很高。

56、请问怎样才能去除 IC 中的电磁干扰？

答：IC 受到的电磁干扰，主要是来自静电（ESD）。解决 IC 免受 ESD 干扰，一方面在布板时候要考虑 ESD（以及 EMI）的问题，另一方面要考虑增加器件进行 ESD 保护。目前有两种器件：压敏电阻（Varistor）和瞬态电压抑制器 TVS（Transient Voltage Suppressor）。前者由氧化锌构成，响应速度相对慢，电压抑制相对差，而且每受一次 ESD 冲击，就会老化，直到失效。而 TVS 是半导体制成，响应速度快，电压抑制好，可以无限次使用。从成本角度看，压敏电阻成本要比 TVS 低。

57、电磁干扰现象表现：尤其是 GPS 应用在 PMP 这种产品，功能是 MP4、MP3、FM 调频+GPS 导航功能的手持车载两用的 GPS 终端产品，手持车载两用的 GPS 导航终端一定的有一个内置 GPS Antenna，这样 GPS Antenna 与 GPS 终端产品上的 MCU、SDROM、晶振等元器件很容易产生电磁干扰，致使 GPS Antenna 的收星能力下降很多，几乎没办法正常定位。不知道有没有 GPS 设计开发者遇到过这样的电磁干扰，然后采取有效的办法解决这样的电磁干扰，什么样的解决办法？

答 1：我觉得这个问题主要出在电路设计上，多半是电路的保护跟屏蔽做的不好，我现在的客户已经没有这方面的困惑了，他们现在有两部分电磁干扰现象，但基本都已经解决/ bluetooth 的电磁干扰，2 遥控器的电磁干扰，解决办法：第 1 项我还没找到答案，第 2 项增大遥控器的有效距离到 5M。

答 2：各功能模块在 PCB 上的分布很重要，在 PCB Layer 之前要根据电流大小，各部分晶体频率，合理规

划，然后各部分接地非常重要，此为了解决共电源和地的干扰。根据实测，主要振荡源之间的空间距离对辐射影响很大，稍远离对干扰有明显降低，如空间不允许，有必要对其做局部屏蔽，但前提是在 PCB 同一块接地区内，然后对电源的出入口去耦，磁珠电容是不错的选择，蓝牙及 GPS 可印板电感。电源 DC/DC 的转换频率选择也很重要，不要让倍频（多次谐波）与其他电路的频率（特别是接受）重合，有些 DC/DC 频率是固定的，加简单的滤波电路就可以。同频抑制是引起 GPS 接受和遥控接受灵敏度下降的主要原因。还有，接受电路的本振幅度要调的尽量小，否则会成为一个持续的干扰源。我们将蓝牙，GPS 接受，另一个 2.4GHz 收发器，433M 遥控接收均继承在一个盒子内，效果还不错，GPS 接收灵敏度很高。

58、遇到一个单片机系统

1. 主控芯片摩托罗拉的 MC908JL3
2. 8M 陶瓷谐振
3. 电源采用连接线接入

现在是 EMI 中的传导电压在 24M 的位置单点超标 0.8dB。请各位指点有没有什么好的方法抑制超标。列入加磁环、加 Y2 电容等。再有这个频率是传导范围还是辐射范围？

答：到底是 EMI 实验中 24M 超标还是做传导时 24M 超标，如果是前者的话就是辐射超标，若是后者则传导超标。

59、用双向可控硅控制直流电机的调速，但电机干扰电源影响过零检测，造成不受控或速度改变。请各位指教！

答 1：出现这中现象的可能性有：1、电机属于非阻性负载，所以电路中产生相位移动，导致控制不准；可以加电容过滤；2、一般双向可控硅控制大功率或大电流负载，采用过零导通，而不是调相，可减少 EMC 的影响。

答 2：流移相调速很常用的，如果过零检测的硬件部分没问题，就要仔细改进软件的处理方式了，在一个周期内(50Hz 20ms)要处理两次可控硅的导通，检测到过零后的延迟输出时间决定你的移相角度，

60、请问那位大侠做过 V. 35、E1、G. 703 (64K)、继电器接口的 EMC 设计？能否给点建议？

主要要过下面几个标准：

GB/T 17626.12 (IEC61000-4-12) 电磁兼容试验和测量技术 振荡波抗干扰度试验

GB/T17626.2 (IEC61000-4-2) 电磁兼容试验和测量技术 静电放电抗干扰度试验

GB/T 17626.3 (IEC61000-4-3) 电磁兼容试验和测量技术 射频电磁场辐射抗干扰度测试

GB/T 17626.4 (IEC61000-4-4) 电磁兼容试验和测量技术 电快速瞬变脉冲群抗干扰度试验

GB/T 17626.5 (IEC61000-4-5) 电磁兼容试验和测量技术 浪涌冲击抗干扰度试验 GB/T 17626.6 (IEC61000-4-6) 电磁兼容试验和测量技术 射频场感应的传导骚扰抗干扰度

答：这些标准都是 EMC 测试的一些基础标准，还需要结合你的产品确定具体指标。你的这些接口是通信接口，一般有标准电路。当单板原理图滤波设计、PCB 的正确布局布线设计的时候，一般都可以通过测试，

其他情况下需要增加 EMC 滤波、瞬态抑制器件，这需要结合具体接口分析。

61、布线不能跨越分割电源之间的间隙，哪位大虾可以给个详细说明啊？

答：如果一个电源层被分割成几个不同的电源部分，如有 3.3V、5V 等的电源，信号线最好不要同时出现在不同的电源平面上，即布线不能跨越分割电源之间的间隙，否则会出现不必要的 EMC 问题，对地也一样，布线也不能跨越分割地之间的间隙。

62、现用单片机通过达林顿管、光藕控制一 12V 继电器来控制交流接触器的吸合，在吸合瞬间常导致单片机复位，通过示波器测复位脚，能检测到有效复位信号（使用三脚的复位 IC）。单片机使用 5V 供电，5V 稳压管前后均已接 1000uF 电容，且用示波器检测未发现电源波动。另外，如果继电器空载（不接交流接触器）则未发现复位现象。请问各位该如何解决？

答 1：可以在交流接触器线圈两端并联一电阻和电容串联的阻容吸收回路，电容的容量在 0.01uF---0.47uF 之间现在，耐压最好高于线圈额定电压的 2—3 倍，看这样行不行？

答 2：这个应该是交流接触器动作时产生的 EMC 干扰所致。楼上朋友的阻容吸收是个不错的解决办法，同时也可以考虑在 12V 继电器的输出触点并联 100P 到 47P 的高压电容试试。

答 3：在交流接触器加 RC 吸收是有效的。但是你还的检查你的电源回路，看看你的 CPU 电源走线是否太长，尽量在芯片的电源脚上并去偶电容，还有就是稳压部分也可以加 LC 吸收回路，尽可能的吸收来自电源的干扰。

答 4：先不带负载看看是否有同样现象出现，分级判断排出问题。可先不接光藕，再不接继电器。如果不接光藕还是出现复位，查查硬件输出端口是否和复位有短路，如果没有复位，可以接光藕但不接继电器。还出现复位可能的情况是地线太细，复位脚的地离光藕太近而且远离电源，光藕的限流电阻太小，导致地电位瞬时抬高。布线时 CPU 要远离大电流的器件，地线采用星型单点接地。如果还是出现复位，就是继电器线圈和触点电弧或大负载的变化引起的电磁干扰。可采取屏蔽和消除触点拉弧的一些方法来解决。多数情况是电源没处理好，地线或+5V 线过长过细。CPU 位置不合理。

63、交流滤波器与直流滤波是否可以互用？一般而言，交流线滤波器可以用在直流的场合，但是直流线滤波器绝对不能用在交流的场合，这是为什么？

答：直流滤波器中使用的旁路电容是直流电容，用在交流条件下可能会发生过热而损坏，如果直流电容的耐压较低，还会被击穿而损坏。即使不会发生这两种情况，一般直流滤波器中的共模旁路电容的容量较大，用在交流的场合会发生过大的漏电流，违反安全标准的规定。

64、在一个盒式设备中，比如以太网交换机或 PC 机，存在机壳地和电路地工作地，我发现有些设备将两个地用电容连接，有些用 0 电阻连接，有些用铁氧体连接，究竟哪一个对？

答：我们一般使用 102 高压瓷介电容。

65、“机构的防护”是指什么？是不是机壳的防护？

答：是的，机壳要尽量严密，少用或不用导电材料，尽可能接地。

66、请问产品全部采用金属做为外壳(如铝，不锈钢等材质)对产品的 ESD 防护有何大的影响?应怎样处理较好?

答：产品全部用金属外壳，如果接地不良当然不利于 ESD 的防护，但只要做好接地就不会有什么问题。至于如何接地就要看设备的具体情况了，如果是大型设备，可以通过设备直接接大地，效果当然会很理想的。

67、为什么频谱分析仪不能观测静电放电等瞬态干扰？

答：因为频谱分析仪是一种窄带扫频接收机，它在某一时刻仅接收某个频率范围内的能量。而静电放电等瞬态干扰是一种脉冲干扰，其频谱范围很宽，但时间很短，这样频谱分析仪在瞬态干扰发生时观察到的仅是其总能量的一小部分，不能反映实际的干扰情况。

68、在现场进行电磁干扰问题诊断时，往往需要使用近场探头和频谱分析仪，怎样用同轴电缆制作一个简易的近场探头？

答：将同轴电缆的外层（屏蔽层）剥开，使芯线暴露出来，将芯线绕成一个直径 1~2 厘米小环（1~3 匝），焊接在外层上。

69、测量人体的生物磁信息是一种新的医疗诊断方法，这种生物磁的测量必须在磁场屏蔽室中进行，这个屏蔽室必须能屏蔽从静磁场到 1GHz 的交变电磁场，请提出这个屏蔽室的设计方案。

答：首先考虑屏蔽材料的选择问题，由于要屏蔽频率很低的磁场，因此要使用高导磁率的材料，比如坡莫合金。由于坡莫合金经过加工后，导磁率会降低，必须进行热处理。因此，屏蔽室要作成拼装式的，由板材拼装而成。事先将各块板材按照设计加工好，然后进行热处理，运输到现场，十分小心的进行安装。每块板材的结合处要重叠起来，以便形成连续的磁通路。这样构成的屏蔽室能够对低频磁场有较好的屏蔽效能，但缝隙会产生高频泄漏。为了弥补这个不足，在坡莫合金屏蔽室的外层用铝板焊接成第二层屏蔽，对高频电磁场起到屏蔽作用。

70、设计屏蔽机箱时，根据哪些因素选择屏蔽材料？

答：从电磁屏蔽的角度考虑，主要要考虑所屏蔽的电场波的种类。对于电场波、平面波或频率较高的磁场波，一般金属都可以满足要求，对于低频磁场波，要使用导磁率较高的材料。

71、机箱的屏蔽效能除了受屏蔽材料的影响以外，还受什么因素的影响？

答：受两个因素的影响，一是机箱上的导电不连续点，例如孔洞、缝隙等；另一个是穿过屏蔽箱的导线，如信号电缆、电源线等。

72、屏蔽磁场辐射源时要注意什么问题？

答：由于磁场波的波阻抗很低，因此反射损耗很小，而主要靠吸收损耗达到屏蔽的目的。因此要选择导磁率较高的屏蔽材料。另外，在做结构设计时，要使屏蔽层尽量远离辐射源（以增加反射损耗），尽量避免孔洞、缝隙等靠近辐射源。

73、在设计屏蔽结构时，有一个原则是：尽量使机箱内的电缆远离缝隙和孔洞，为什么？

答：由于电缆近旁总是存在磁场，而磁场很容易从孔洞泄漏（与磁场的频率无关）。因此，当电缆距离缝隙和孔洞很近时，就会发生磁场泄漏，降低总体屏蔽效能。

74、为什么在很多情况下为了抑制噪声信号我们都采用接地的方法，而不是接电源的方法？地和电源在多层 PCB 上面都是其中的一层，按照电压零点相对性来说即使是电源层不是也可以作为电压零点吗？

答 1：接地也可以说接参考点，既然是参考点就要能起到参考作用。认为是地，就是说起码认为这里是零，没有任何阻抗（实际上是不是要看 layout）。电源输出阻抗如果是零的话，当然也可以做参考点，也可以作为噪声信号的旁路通道。

答 2：信号的地有几种意思：

1. 绝对地——EARTH，大地
2. 相对地——GROUND，参考地
3. 无地——有时为了减少干扰，信号的 0/1，故意是彼此相对值，而不是与地相对值，即信号 0 并不取为地。比如 CAN 中的信号就如此。硬件设计的难点之一，就是如何解决好接地问题，从 IC 芯片，到一个大系统都如此。

答 3：用示波器探头上的地线夹夹电源有可能会烧掉示波器噢。

示波器探头上的地线夹是与示波器电源线的地线相连的（如果不是隔离探头的话）。用它夹电源会将电源直接对地短路。用不同探头的地线夹夹在不同电位的点上也会短路的。

所以推荐的做法是示波器电源通过一个隔离变压器接入市电。或者象我们通常做的那样，将示波器电源线上的地线脚拔掉，以绝后患。接地和隔离是我们在设计和测试中应该时刻注意的问题。

答 4：虽然电源层和地层交流上都是电压零点，但相对而言地层更干净一点，所以通常是接地而不是电源。

75、某个手持测试产品，可以电池供电，同时也可以采取外置适配器供电方式。适配器单独带负载辐射发射（RE）测试可以通过，手持产品在电池供电情况下辐射发射（RE）也可以通过，并且余量都比较大，但

是在带外置适配器的情况下，却在 160M 频率左右超标较多，不能通过认证。是何原因？怎么定位干扰源？耦合途径？定位清楚如何解决？

答：本身这个问题干扰源有两个可能，适配器的开关频率，手持测试产品本身的晶振以及内部的开关电源频率。单独测试没有超标，搭配测试超标说明耦合途径是产品的电源电缆。

定位时可以有多个办法：

- 1、在电源输出线缆（也就是产品电源输入线）的两端分别加磁环试验，如果靠近适配器相对下降比较大，说明是适配器导致，否则原因就是由手持产品内部干扰源导致；
- 2、在手持产品的电源输入接口共模电感采取频谱仪测试看那一端干扰幅度大，如果是共模电感里侧的干扰大，则说明是手持产品的干扰；
- 3、如果怀疑外部适配器，干脆直接替换测试，如果没有这个频点，就说明是适配器问题。

通过上面方法定位后发现，确实是电源适配器问题。尽管开关电源频率只有 KHZ 级别，但往往干扰能够达到几十、几百 MHz，同时电源适配器负载不同，空间辐射发射的测试结果也会不一样。

76、我们做的是一个手持设备，带电池工作在做辐射发射测试时，在 700M 的点超标。回来后我们把辐射源定位在了 10M 的有源晶振和 dsp 的内部 PLL 电路上。首先我们改善了晶振的电源滤波电路，加上了 10uf 和 0.1uf 的电容，700M 这个点有明显的降低，但是 800M 点上却上升较多。其次我们更换了直插的晶振为贴片的，以减小其扇出能力，改善效果不大。请问还有其他什么办法可以改进吗？晶振的滤波电路有什么特殊要求？

答：从你描述情况看，本身源头可能是 10MHz 晶振，或内部的 10MHz 倍频，对于 700MHz 或 800MHz 的高频超标，有几个方面可以处理：

晶振处理：供电电源滤波，时钟走线采取 RC 滤波，或用磁珠替代电阻滤波；

另外如果能够定位是单板走线对外辐射的话，可以针对对外辐射走线进行滤波，如磁珠、电容；

由于超标是高频，很有可能是你的 PCB 单板地阻抗比较大，有较大地地环路，这个方面需要你查看 PCB 设计；

另外如果你的设备是金属壳，那可以从屏蔽角度看是否有屏蔽泄漏！

如果是接口电缆对外辐射，可以对电缆接口进行滤波处理，具体措施针对不同接口有所不同。

77、经常设计时候没有人提起 EMC，或对 EMC 重视程度不够；开模后或产品定型后有关 EMC 问题就出来了。怎么解决这个问题？

答：这个问题在我们大多企业都会遇到，关键是企业没有一套严格的 EMC 设计流程！大多工程师没有 EMC 设计经验，导致工程师没有把 EMC 设计理念融入到产品前期的研发过程中，这样出现问题也就不足为怪了。我们建议企业首先需要培养工程师的 EMC 设计水平，同时提高他们的设计意识，另外更重要的是要建立一套 EMC 的设计流程与平台，比如，需要有 EMC 设计的原理图规范，并有设计检查控制列表，有引导，有监

欢迎来到控制工程中文网

<http://www.cechinamag.com/>

控,那么,EMC设计在前期才能真正落实,后期的产品出来的EMC指标也才有保证!这个问题当然还是一个系统问题,涉及范围比较广,结构、电源、硬件电路、PCB等方面。

78、磁珠与电感有什么区别?高频时磁珠怎么滤波?

电感是用来控制PCB内的EMI。对电感而言,它的感抗是和频率成正比的。这可以由公式: $X_L = 2\pi fL$ 来说明, X_L 是感抗(单位是 Ω)。例如:一个理想的10mH电感,在10kHz时,感抗是628 Ω ;在100MHz时,增加到6.2M Ω 。因此在100MHz时,此电感可以视为开路(open circuit)。在100MHz时,若让一个讯号通过此电感,将会造成此讯号品质的下降(这是从时域来观察)。和电容一样,此电感的电气参数(线圈之间的寄生电容)限制了此电感只能在频率1MHz以下工作。

问题是,在高频时,若不能使用电感,那要使用什么呢?答案是,应该使用「铁粉珠(ferrite bead)」。铁粉材料是铁镁或铁镍合金,这些材料具有高的导磁系数(permeability),在高频和高阻抗下,电感内线圈之间的电容值会最小。铁粉珠通常只适用于高频电路,因为在低频时,它们基本上是保有电感的完整特性(包含有电阻和抗性分量),因此会造成线路上的些微损失。在高频时,它基本上只具有抗性分量($j\omega L$),并且抗性分量会随着频率上升而增加。实际上,铁粉珠是射频能量的高频衰减器。

其实,可以将铁粉珠视为一个电阻并联一个电感。在低频时,电阻被电感「短路」,电流流往电感;在高频时,电感的高感抗迫使电流流向电阻。

本质上,铁粉珠是一种「耗散装置(dissipative device)」,它会将高频能量转换成热能。因此,在效能上,它只能被当成电阻来解释,而不是电感。

79、笔记本电脑适配器的AC端GND和电脑内部的GND(即机壳)是不是保持很低的压差?他们之间的地有什么关系呢?适配器内部是怎样设计的呢?我们测电源谐波的时候谐波主要是适配器产生还是笔记本电脑本身产生的呢?

答:理论上讲电脑机壳和适配器的GND都应该是保护地,是没有压差,直接接大地的。AC适配器输入的电压基准是零线,输出是直流,与输入隔离。输出的电压基准是直流电源的负端。

电脑适配器内部一般是一个隔离的AC/DC电源,采用反激或正激式变换器。你可以参考开关电源的书籍。开关模式的适配器肯定会产生谐波,电脑内部笔者没有研究不能妄言,但估计适配器的谐波应该占一个很大的比例。你有兴趣的话可以试试用线性电源带笔记本电脑,看看谐波的情况,应该有很大不同。

80、通用电器和电子设备的地并不是earth如电子负载,在工作中为防止静电经常要带静电手环可是静电手环要是接了earth之后在工作中就会经常挨电。我测量过电子负载和地的电压为交流,而且还不稳定有100多伏。原因是什么?

答:交流电压一般来自电源滤波器对地的Y电容,耦合过来的,机壳接地就没有了。一般对Y电容的大小是有要求的,为的就是防止地线接触不好使机壳泄露出的电流过大造成人身伤害。

81、EMC问题目前解决还处于外围电路、PCB、以及结构屏蔽解决,其实EMC问题本身还与芯片内部的设计

互连布线有关。下面这个问题就是一例：我在做一 SOC 芯片的封装设计，封装形式是 PBGA，面向的 PCB 有四层：

signal-ground-power-signal。

在进行封装直球排布时我遇到一个问题：通常为了给信号有好的电流回流通路，减轻 power/ground bounce，会在高速信号区域中按一定比例方式插入 power/ground 直球。我参考过 intel 的一些北桥或是 memory control hub 的封装直球分布实例，在 DDR 信号（高速信号）区域有的实例插入了 power 和 ground 直球，有的实例只插入了 ground 直球。在我看来因为 DDR 信号接口采用 SSTL_2 规范，使用的是 CMOS 输出电路，应该 power 和 ground bounce 都存在的，需要在 DDR 区域插入等比例的 power 和 ground 直球。所以对于只插入了 ground 直球的实例我不是很理解。

我查了一些资料，有一篇文章这么说：

most return current for a transmission line travels on the nearest reference plane regardless of the direction of current on the trace. It matters not whether the signal transitions from high-to-low or low-to-high, the return current travels on the nearest reference plane.

按照文章的意思，似乎噪声电流不在乎通过 power plane 或是 ground plane 流走。为什么会这样呢？

答 1：1、对于高频信号最终都是要回流到地！所以在芯片电源管脚已经足够解决供电问题情况下优先考虑布置地管脚（直球）。

2、对于现在资料一般认为地平面与电源平面对于高速信号是一样的前提是电源平面到地平面的阻抗足够小，但现在一般单板的还做不到电源平面到地平面阻抗足够小（这是现在电源完整性研究内容），而且本身电源平面本身阻抗有时也比较大，因此在布线时还是优先考虑地平面回流。

答 2：因为高频信号电流总是寻找电感最小回路返回信号源，信号频率越高电流回路耦合越紧密。一般 50~100kHz 以上信号就开始体现此特性。GND 或 POWER 叠层相对信号线的瞬态阻抗为串联形式，敷铜层离信号线越远瞬态阻抗越大，因此高频回路电流只会选择最近敷铜层（镜像面）作为回路流回驱动源。如果信号换层，回路电流在信号线换层过孔处从 GND 和 POWER 敷铜平面间电容流过，且在两个层内表面扩散，该阻抗造成的信号返回压降称为地弹（GROUND BOUNCE）。

82、有的电阻标值为 0 欧姆，这种电阻起什么作用呢？

答：1\在电路中没有任何功能，只是在 PCB 上为了调试方便或兼容设计等原因。

2\可以做跳线用，如果某段线路不用，直接不贴该电阻即可（不影响外观）

3\在匹配电路参数不确定的时候，以 0 欧姆代替，实际调试的时候，确定参数，再以具体数值的元件代替。

4\想测某部分电路的耗电流的时候，可以去掉 0ohm 电阻，接上电流表，这样方便测耗电流。

5\在布线时，如果实在布不过去了，也可以加一个 0 欧的电阻

6\在高频信号下，充当电感或电容。（与外部电路特性有关）电感用，主要是解决 EMC 问题。如地与地，电源和 IC Pin 间

7\单点接地（指保护接地、工作接地、直流接地在设备上相互分开，各自成为独立系统。）

8\熔丝作用

模拟地和数字地单点接地

只要是地，最终都要接到一起，然后入大地。如果不接在一起就是“浮地”，存在压差，容易积累电荷，造成静电。地是参考 0 电位，所有电压都是参考地得出的，地的标准要一致，故各种地应短接在一起。人们认为大地能够吸收所有电荷，始终维持稳定，是最终的地参考点。虽然有些板子没有接大地，但发电厂是接大地的，板子上的电源最终还是会返回发电厂入地。如果把模拟地和数字地大面积直接相连，会导致互相干扰。不短接又不妥，理由如上四种方法解决此问题：

- 1、用磁珠连接；
- 2、用电容连接；
- 3、用电感连接；
- 4、用 0 欧姆电阻连接。

磁珠的等效电路相当于带阻滤波器，只对某个频点的噪声有显著抑制作用，使用时需要预先估计噪点频率，以便选用适当型号。对于频率不确定或无法预知的情况，磁珠不合。

电容隔直通交，造成浮地。

电感体积大，杂散参数多，不稳定。

0 欧电阻相当于很窄的电流通路，能够有效地限制环路电流，使噪声得到抑制。电阻在所有频带上都有衰减作用(0 欧电阻也有阻抗)，这点比磁珠强。

跨接时用于电流回路

当分割地平面后，造成信号最短回流路径断裂，此时，信号回路不得不绕道，形成很大的环路面积，电场和磁场的影响就变强了，容易干扰/被干扰。在分割区上跨接 0 欧电阻，可以提供较短的回流路径，减小干扰。

配置电路

一般，产品上不要出现跳线和拨码开关。有时用户会乱动设置，易引起误会，为了减少维护费用，应用 0 欧电阻代替跳线等焊在板子上。

空置跳线在高频时相当于天线，用贴片电阻效果好。

其他用途

布线时跨线

调试/测试用

临时取代其他贴片器件

作为温度补偿器件

更多时候是出于 EMC 对策的需要。另外，0 欧姆电阻比过孔的寄生电感小，而且过孔还会影响地平面（因为要挖孔）。

83、D类功放在 PCB 布线时应注意那些？

答：在 D 类功放板中，PCB 走线及表现出 EMI 特性的金属都应该尽可能短，包括从电源输出部分到 D 类放大器输出部分及从电源到扬声器间的金属连线。另一个长期困扰 D 类放大器的问题是它们对电源的性能极为敏感。由于放大器输出端总是对电源线路的其中之一进行直接开关控制，电源端的任何变化或波动就会

体现在输出信号端，并表现为噪声或失真，因此 D 类放大器不仅仅是在 DC 部分需要具有良好负载限制、干净、低噪声的供电电流，在整个音频带内都需要这样的电源信号。这样，电源部分晶体管的工作也变得同样重要。

D 类放大器中，高频脉冲中输出部分由电源电流来提供动力，同时，为了在放大器输出端产生精确的方波脉冲，供电电压必须保持稳定，其波动与噪声是严格禁止的，在这里，存储电容成为关键的元件。首先，为了保持供电电压的稳定，存储电容需要保持足够的电荷。第二，由于任何寄生电阻或干扰的影响都会从电源电容迅速地传递到输出端，必须使用 Low-ESR(Effective Series Resistance)电容。PCB 金属走线中的寄生电阻是相当不利于电源稳定的，应该在尽可能靠近输出部分的位置放置存储电容使寄生电阻最小化。电源供电的需求可以通过引入一个短时延迟（小于 $1\mu s$ ）来缓解。这个延迟设置在立体声中单个的输出端或多通道系统之间。这样的延迟对于人耳来说是极为短暂的，以致于无法感觉出来。由于每个输出端的 MOSFETs 在不同时间进行开关动作，相当于在同一时间内减少了开关晶体管。这种技术常被称为“PWM 相位”技术，并应用于许多 D 类 IC 设计中。

84、我现在遇到一个问题：USB 手持设备在插拔耳唛时导致系统死锁。用示波器测量耳唛座各管脚的波形发现有瞬时冲击电压，怀疑是 ESD 或 FTB 干扰产生。当 USB 线使用屏蔽线时就不会出现该种情况，另外如果 PC 接地完好的话也不会出现这种情况，现在关键是不使用屏蔽线且要满足各种可能情况时，还有什么办法可以使用？另在地线上加上一电感后地线上的干扰明显减小，现问题是音频线路上应加什么才不会导致死机且音频信号不受影响？

答 1：在耳唛座各管脚与加一个电容到地，应该可以消除尖峰脉冲。

答 2：原理非常简单。模拟信息突然消失，造成干扰。如果没有良好的接地，你这种现象就非常容易发生。解决办法，提供吸收放电的电路。最好的办法就是对地加电容。但这也影响音质。在电容选择上要注意，应该是两个电容反向对接。

85、《DL/T645-1997 多功能电能表通信规约》对 RS-485 标准电气接口性能规范，要求驱动与接受端静电放电 (ESD) $\pm 15KV$ (人体模式)。谁能告诉我(人体模式)的实验方法是怎么做的，人体模式与空气放电有哪些区别呢？

答 1：机器放在一个绝缘的木板上，木板有近 10cm 厚，对方用了一个静电枪，对着一块金属板打 6KV，而金属板平面是平行被测机器的显示控制部分，打 6KV，还要拿静电枪对着机器外壳的金属部分打 8KV，每隔一秒打一次。静电枪分尖头和模拟手指状的圆头。

答 2：空气放电：使用钝头放电头，8KV，距离被测物约 1cm 远寻找放电点（金属/塑料混合外壳，如果塑料外壳则贴近寻找），如果有放电点，这进行每秒一次，每极性 20 次放电，每测试点一共 40 次放电。
接触放电：使用尖头放电头，在被测物表面寻找金属体进行接触放电，如果金属外壳面积比较大，则选定均匀的多点进行分别测试，同样是每秒一次，每极性 20 次放电，每测试点一共 40 次放电。在 2 种测试中，要求机器处于正常运作状态，如果放电过程中发生故障，故障分为 3 级：

- 1, 停止放电, 可以自动恢复正常
- 2, 停止放电, 人工干扰操作情况下能够恢复正常
- 3, 永久损坏

应该说, 一般商用标准, 1 是可以接受的。

四、EMC 专用名词大全

本标准等同采用国际电工委员会 (IEC)《国际电工辞汇》(IEV) 第 161 章 (1990 年版)。

本标准规定了常用电磁兼容术语的定义。

本标准适用于编写有关电磁的各类标准及其它技术文献。

本标准由 IEC TC1 (术语) 161 工作组负责, 并会同 IEC TC77 (包括网络在内的电气设备间的电磁兼容) 以及 CISPR (国际无线电干扰特别委员会) 制定。

本标准系国际电工辞汇 (IEV) 第 161 章, 代替 IEC 出版物 50 (902) (1973)。

1 基本概念

1. 1 电磁环境 electromagnetic environment
存在于给定场所的所有电磁现象的总和。
1. 2 电磁噪声 electromagnetic noise
一种明显不传送信息的时变电磁现象, 它可能与有用信号叠加或组合。
1. 3 无用信号 unwanted signal, undesired signal
可能损害有用信号接收的信号。
1. 4 干扰信号 interfering signal
损害有用信号接收的信号。
1. 5 电磁骚扰 electromagnetic disturbance
任何可能引起装置、设备或系统性能降低或者对有生命或无生命物质产生损害作用的电磁现象。
注: 电磁骚扰可能是电磁噪声、无用信号或传播媒介自身的变化。
1. 6 电磁干扰 electromagnetic interference (EMI)
电磁骚扰引起的设备、传输信道或系统性能的下陷。
1. 7 电磁兼容性 electromagnetic compatibility (EMC)
设备或系统在其电磁环境中能正常工作且不对该环境中任何事物构成不能承受的电磁骚扰的能力。
1. 8 (电磁) 发射 (electromagnetic) emission
从源向外发出电磁能的现象。
1. 9 (无线电通信中的) 发射 emission (in radiocommunication)
由无线电发射台产生并向外发出无线电波或信号的现象。
1. 10 (电磁) 辐射 (electromagnetic) radiation
 - a. 能量以电磁波形式由源发射到空间的现象。

- b. 能量以电磁波形式在空间传播。
注：“电磁辐射”一词的含义有时也可引申，将电磁感应现象也包括在内。
1. 11 无线电环境 radio environment
国家技术监督局 19 9 5— 0 8— 2 5 批准 19 9 6— 0 3— 01 实施
- a. 无线电频率范围内的电磁环境。
- b. 在给定场所内所有处于工作状态的无线电发射机产生的电磁场总和。
1. 12 无线电（频率）噪声 radio (frequency) noise
具有无线电频率分量的电磁噪声。
1. 13 无线电（频率）骚扰 radio (frequency) disturbance
具有无线电频率分量的电磁骚扰。
1. 14 无线电频率干扰 radio frequency interference (RFI)
由无线电骚扰引起的有用信号接收性能的下降。
1. 15 系统间干扰 inter-system interference
由其它系统产生的电磁骚扰对一个系统造成的电磁干扰。
1. 16 系统内干扰 intra-system interference
系统中出现的由本系统内部电磁骚扰引起的电磁干扰。
1. 17 自然噪声 natural noise
来源于自然现象而非人工装置产生的电磁噪声。
1. 18 人为噪声 man-made noise
来源于人工装置的电磁噪声。
1. 19（性能）降低 degradation (of performance)
装置、设备或系统的工作性能与正常性能的非期望偏离。
1. 20（对骚扰的）抗扰性 immunity (to a disturbance)
装置、设备或系统面临电磁骚扰不降低运行性能的能力。
1. 21（电磁）敏感性 (electromagnetic) susceptibility
在存在电磁骚扰的情况下，装置、设备或系统不能避免性能降低的能力。
注：敏感性高，抗扰性低。

2 骚扰波形

2. 1 瞬态（的） transient (adjective and noun)
在两相邻稳定状态之间变化的物理量或物理现象，其变化时间小于所关注的时间尺度。
2. 2 脉冲 Pulse
在短时间内突变，随后又迅速返回其初始值的物理量。
2. 3 冲激脉冲 impulse
针对某给定用途，近似于一单位脉冲或狄拉克函数的脉冲。
2. 4 尖峰脉冲 spike
持续时间较短的单向脉冲。
2. 5（脉冲的）上升时间 rise time (of a pluse)

脉冲瞬时值首次从给定下限值 τ 升到给定上限值所经历的时间。

注：除特别指明外，下限值及上限值分别定为脉冲幅值的10%和90%。

2. 6 上升率 rate of rise
一个量在规定数值范围内，即从峰值的10%到90%，随时间变化的平均速率。
2. 7 猝发（脉冲或振荡） burst (of pluses or oscillations)
一串数量有限的清晰脉冲或一个持续时间有限的振荡。
2. 8 脉冲噪声 impulsive noise
在特定设备上出现的、表现为一连串清晰脉冲或瞬态的噪声
2. 9 脉冲骚扰 impulsive disturbance
在某一特定装置或设备上出现的、表现为一连串清晰脉冲或瞬态的电磁骚扰。
2. 10 连续噪声 continuous noise
对一个特定设备的效应不能分解为一串能清晰可辨的效应的噪声。
2. 11 连续骚扰 continuous disturbance
对一个特定设备的效应不能分解为一串能清晰可辨的效应的电磁骚扰。
2. 12 准脉冲噪声 quasi-impulsive noise
等效于脉冲噪声与连续噪声的叠加的噪声。
2. 13 非连续干扰 discontinuous Interference
出现于被无干扰间歇隔开的一定时间间隔内的电磁干扰。
2. 14 随机噪声 radom noise
给定瞬间值不可预测的噪声。
2. 15 喀咧声 Click
用规定方法测量时，其持续时间不超过某一规定值的电磁骚扰。
2. 16 喀咧声率 click rate
单位时间（通常为每分钟）超过某一规定电平的喀咧声数。
2. 17 基波（分量） fundamental (component)
一个周期量的傅里叶级数的一次分量。
2. 18 谐波（分量） harmonic (component)
一个周期量的傅里叶级数中次数高于1的分量。
2. 19 谐波次数 harmonic number
谐波频率与基波频率的整数比。
注：谐波次数又称谐波阶数 (harmonic order)。
2. 20 第n次谐波比 nth harmonic ratio
第n次谐波均方根值与基波均方根值之比。
2. 21 谐波含量 harmonic content
从一交变量中减去其基波分量后所得到的量。
2. 22 基波系数 fundamental factor
基波分量与其所属交变量之间的均方根值之比。
2. 23 (总) 谐波系数 (total) harmonic factor
谐波含量与其所属交变量之间的均方根值之比。

2. 24 脉动 pulsating
用来表述具有非零平均值的周期量。
2. 25 交流分量 alternating component
从脉动量中去掉直流分量后所得到的量。
注：交流分量有时又称纹波含量 (ripple content)。
2. 26 纹波峰值系数 peak-ripple factor
脉动量纹波峰谷间差值与直流分量绝对值之比。
2. 27 纹波均方根系数 r. m. s-ripple factor
脉动量纹波含量的均方根值与直流分量的绝对值之比。

3 干扰控制

3. 1 (时变量的) 电平 level (of a time varying quantity)
用规定方式在规定时间间隔内求得的诸如功率或场参数等时变量的平均值或加权值。
注：电平可用对数来表示，例如相对于某一参考值的分贝数。
3. 2 电源骚扰 mains-borne disturbance
经由供电电源线传输到装置上的电磁骚扰。
3. 3 电源抗扰性 mains immunity
对电源骚扰的抗扰性。
3. 4 电源去耦系数 mains decoupling factor
施加在电源某一规定位置上的电压与施加在装置规定输入端且对装置产生同样骚扰效应的电压值之比。
3. 5 机壳辐射 cabinet radiation
由设备外壳产生的辐射，不包括所接天线或电缆产生的辐射。
3. 6 内部抗扰性 internal immunity
装置、设备或系统在其常规输入端或天线处存在电磁骚扰时能正常工作而无性能降低的能力。
3. 7 外部抗扰性 external immunity
装置、设备或系统在电磁骚扰经由除常规输入端或天线以外的途径侵入的情况下，能正常工作而无性能降低的能力。
3. 8 骚扰限值 (允许值) limit of disturbance
对应于规定测量方法的最大电磁骚扰允许电平。
3. 9 干扰限值 (允许值) limit of interference
电磁骚扰使装置、设备或系统最大允许的性能降低。
3. 10 (电磁) 兼容电平 (electromagnetic) compatibility level
预期加在工作于指定条件的装置、设备或系统上的规定的最大电磁骚扰电平。
注：实际上电磁兼容电平并非绝对最大值，而可能以小概率超出。
3. 11 (骚扰源的) 发射电平 emission level (of a disturbance source)
用规定方法测得的由特定装置、设备或系统发射的某给定电磁骚扰电平。
3. 12 (来自骚扰源的) 发射限值 emission limit (from a disturbing source)

规定的电磁骚扰源的最大发射电平。

3. 13 发射裕量 emission margin

装置、设备或系统的电磁兼容电平与发射限值之间的差值。

3. 14 抗扰性电平 immunity level

将某给定电磁骚扰施加于某一装置、设备或系统而其仍能正常工作并保持所需性能等级时的最大骚扰电平。

3. 15 抗扰性限值 immunity limit

规定的最小抗扰性电平。

3. 16 抗扰性裕量 immunity margin

装置、设备或系统的抗扰性限值与电磁兼容电平之间的差值。

3. 17 (电磁)兼容裕量 (electromagnetic) compatibility margin

装置、设备或系统的抗扰性电平与骚扰源的发射限值之间的差值。

3. 18 耦合系数 coupling factor

给定电路中, 电磁量 (通常是电压或电流) 从一个规定位置耦合到另一规定位置, 目标位置与源位置相应电磁量之比即为耦合系数。

3. 19 耦合路径 Coupling path

部分或全部电磁能量从规定源传输到另一电路或装置所经由的路径。

3. 20 地耦合干扰 earth-coupled interference, ground-coupled interference

电磁骚扰从一电路通过公共地或地口路耦合到另一电路从而引起的电磁干扰。

3. 21 接地电感器 earthing inductor, grounding inductor

与设备的接地导体串联的电感器。

3. 22 骚扰抑制 disturbance suppression

削弱或消除电磁骚扰的措施。

3. 23 干扰抑制 interference suppression

削弱或消除电磁干扰的措施。

3. 24 抑制器 suppressor, suppression component

专门设计用来抑制骚扰的器件。

3. 25 屏蔽 screen

用来减少场向指定区域穿透的措施。

3. 26 电磁屏蔽 electromagnetic screen

用导电材料减少交变电磁场向指定区域穿透的屏蔽。

4 测量

4•1 骚扰电压 disturbance voltage

在规定条件下测得的两分离导体上两点间由电磁骚扰引起的电压。

4•2 骚扰场强 disturbance field strength

在规定条件下测得的给定位置上由电磁骚扰产生的场强。

4•3 骚扰功率 disturbance power

在规定条件下测得的电磁骚扰功率。

4.4 参考阻抗 reference impedance

用来计算或测量设备所产生的电磁骚扰的、具有规定量值的阻抗。

4.5 人工电源网络 artificial mains network

串接在被试设备电源进线处的网络。它在给定频率范围内，为骚扰电压的测量提供规定的负载阻抗，并使被试设备与电源相互隔离。

注：人工电源网络又称线路阻抗稳定网络（line impedance stabilization network (LISN)）。

4.6 Δ 形网络 delta network

能够分别测量单相电路中共模及差模电压的人工电源网络。

4.7 v形网络 V-network

能够分别测量每个导体对地电压的人工电源网络。

注：V形网络可设计成用于任意导体数的网络。

4.8 差模电压 differential mode voltage

一组规定的带电导体中任意两根之间的电压。使差模电压又称对称电压（symmetrical voltage）。

4.9 共模电压 common mode voltage

每个导体与规定参考点（通常是地或机壳）之间的相电压的平均值。

4.10 共模转换 common mode conversion

由共模电压产生差模电压的过程。

4.11 对称端子电压 symmetrical terminal voltage

用 Δ 形网络测得的规定端子上的差模电压。

4.12 不对称端子电压 asymmetrical terminal voltage

用 Δ 形网络测得的规定端子上的共模电压。

4.13 V端子电压 V-terminal voltage

用V形网络测得的电源线与地之间的端子电压。

4.14（屏蔽电路的）转移阻抗 transfer impedance (of a screened circuit)

屏蔽电路中两规定点之间的电压与屏蔽体指定横断面上的电流之比。

4.15（同轴线的）表面转移阻抗 surface transfer impedance (of a coaxial line)

同轴线内导体单位长度L的感应电压与同轴线外表面上的电流之比。

4.16（装置在给定方向上的）有效辐射功率 effective radiated Power (of any device in a given direction)

在给定方向的任一规定距离上，为产生与给定装置相同的辐射功率通量密度而必须在无损耗参考天线输入端较加的功率。

注：如不注明，无损耗参考天线系指半波偶极子。

4.17（检波器的）充电时间常数 electrical charge time constant (of a detector)

检波器输入端突然加上一设计频率的正弦电压后，其输出端电压达到稳态值的 $(1-1/e)$ 所需的时间。

4.18（检波器的）放电时间常数 electrical discharge time constant (of a detector)

从突然切除正弦输入电压到检波器输出电压降至初始值的 $1/e$ 所需的时间。

4.19（指示仪表的）机械时间常数 mechanical time constant (of an indicating instrument)

测量仪指示器的自由振荡周期与 $2\pi\tau$ 之比。

注：自由振荡的特征是无阻尼运动。

4.20 (接收机的) 过载系数 overload factor (of a receiver)

正弦输入信号最大幅值与指示仪表满刻度偏转时输入幅值之比，对应于这一最大输入信号，接收机检波器前电路的幅 / 幅特性偏离线性应不超过 1 dB。

4.21 准峰值检波器 quasi-peak detector

具有规定的电气时间常数的检波器。当施加规则的重复等幅脉冲时，其输出电压是脉冲峰值的分数，并且此分数随脉冲重复率增加趋向于 1。

4.22 准峰值电压表 quasi-peak voltmeter

准峰值检波器与具有规定机械时间常数的指示仪表的组合。

4.23 (准峰值电压表的) 脉冲响应特性 Pulse response characteristic (of a quasi-peak voltmeter)

准峰值电压表的指示值与规则重复等幅脉冲的重复率之间的关系。

4.24 峰值检波器 peak detector

输出电压为所施加信号峰值的检波器。

4.25 均方根值检波器 root-mean-square detector

输出电压为所施加信号均方根值的检波器。

4.26 平均值检波器 average detector

输出电压为所加信号包络平均值的检波器。

注：平均值必须在规定的时间间隔内求取。

4.27 模拟手 artificial hand

模拟常规工作条件下，手持电器与地之间的人体阻抗的电网络。

4.28 (辐射) 测试场地 (radiation) test site

在规定条件下能满足对被试装置的电磁发射进行正确测量的场地。

4.29 (四分之一波长) 阻塞滤波器 stop (quarter-wave) filter

围绕导体设置的可移动的同轴可调谐机构，用来限制导体在给定频率的辐射长度。

4.30 吸收钳 absorbing clamp

能沿着设备或类似装置的电源线移动的测量装置，用来获取设备或装置的无线电频率的最大辐射功率。

4.31 带状线 stripline

由两块平行板构成的带匹配终端的传输线，电磁波在其间以横电磁波模式传输，从而产生供测试使用的电磁场。

4.32 横电磁波室 TEM cell

一个封闭系统，通常为矩形同轴线，电磁波在其中以横电磁波模式传输，从而产生供测试使用的规定的电磁场。

4.33 模拟灯 dummy lamp

一种模拟荧光灯无线电频率阻抗的装置，它可替代照明装置中的荧光灯以便对照明装置的插入损耗进行测量。

4.34 平衡-不平衡转换器 balun

用来将不平衡电压与平衡电压相互转换的装置。

4.35 电流探头 current Probe

在不断开导体并且不对相应电路引入显著阻抗的情况下，测量导体电流的装置。

4.36 接地（参考）平面 ground (reference) Plane

一块导电平面，其电位用作公共参考电位。

5 设备分类

5.1 工科医（经认可的设备）ISM (qualifier)

按工业、科学、医疗、家用或类似用途的要求而设计，用以产生并在局部使用无线电频率能量的设备或装置。不包括用于通信领域的设备。

注：①工科医为“工业、科学、医疗”的缩写。

②对于某些组织来说，不包括信息技术设备。

5.2 无线电频率加热装置 radio frequency heating apparatus

利用无线电频率能量产生加热效应的工科医设备。

5.3 工科医频段 ISM frequency band

分配给工科医设备的频段。

5.4 信息技术设备 information technology equipment (ITE)

用于以下目的的设备：

- (1) 接收来自外部源的数据（例如通过键盘或数据线输入）；
- (2) 对接收到的数据进行某些处理（如计算、数据转换、记录、建机分类、存贮和传送）；
- (3) 提供数据输出（或送至另一设备或再现数据与图像）。

注：这个定义包括那些主要产生各种周期性二进制电气或电子脉冲波形，并实现数据处理功能的单元或系统：诸如文字处理、电子计算、数据转换、记录、建档、分类、存贮、恢复及传递，以及用图像再现数据等。

6 接收机与发射机

6.1（发射台的）杂散发射 spurious emission (of a transmitting station)

必要带宽外的单个或多个频点上的发射。可以减小其电平而不影响相应的信息传输。杂散发射包括谐波发射、寄生发射、互调产物及变频产物。带外发射除外。

6.2 带外发射 out of band emission

由调制过程引起的紧靠必要带宽的单个或多个带外频率点上的发射。杂散发射除外。

6.3 信骚比 Signal-to-disturbance ratio

规定条件下测得的有用信号电平与电磁骚扰电平之间的比值。

注：在表示“信骚比”这一概念时不应使用“信（号）干（扰）比”这一术语。

6.4 信噪比 signal-to-noise ratio

规定条件下测得的有用信号电平与电磁噪声电平之间的比值。

6.5 保护率 protection ratio

装置或设备达到规定性能所需的最小信骚比。

6.6 杂散响应频率 spurious response frequency

在某一给定设备上会产生不应有响应的电磁骚扰频率。

注：对于一个调谐到频率 f_0 的接收机来说，由下列公式可知有许多杂散响应频率
或

式中： f_s ——杂散响应频率；

f_1 ——本振频率；

f_i ——中频；

m 、 n 、 h 为整数。

6.7 杂散响应抑制比 spurious response rejection ratio

在某一设备上产生规定输出功率的某一具有杂散响应频率的信号电平与产生同样输出的有用信号电平之比。

6.8 寄生振荡 parasitic oscillation

设备产生的无用振荡。其频率与工作频率无关，与那些跟产生所需振荡相关的频率也无关。

6.9 (设备的) 带宽 band width (of a device)

设备或传输通道的给定特性偏离其参考值不超过某一规定值或比率时的频带宽度。

注：这个给定的特性可以是幅 / 频特性、相 / 频特性或时延 / 频率特性。

6.10 (发射或信号的) 带宽 band width (of an emission or signal)

任一带外频谱分量的电平都不超过参考电平的某一规定百分比的频带宽度。

6.11 宽带发射 broadband emission

带宽大于某一特定测量设备或接收机带宽的发射。

6.12 宽带设备 broadband device

带宽足以接受和处理特定发射的所有频谱分量的设备。

6.13 窄带发射 narrowband emission

带宽小于特定测量设备或接收机带宽的发射。

6.14 窄带设备 narrowband device

带宽只能满足接受和处理某一特定发射的部分频谱分量的设备。

6.15 选择性 selectivity

接收机分辨给定的有用信号与无用信号的能力或这一能力的度量。

6.16 有效选择性 effective selectivity

在规定的特殊条件下，例如接收机输入电路过载时的选择性。

6.17 邻频道选择性 adjacent channel selectivity

用与频道间隔相等的信号间隔所测得的选择性。

6.18 灵敏度降低 desensitization

由于无用信号引起的接收机有用输出的减小。

6.19 交调 crossmodulation

非线性设备、电网络或传播媒介中信号的相互作用所产生的无用信号对有用信号的调制。

6.20 互调 intermodulation

发生在非线性的器件或传播媒介中的过程。由此一个或多个输入信号的频谱分量相互作用，产生出新的分量，它们的频率等于各输入信号分量频率的整倍数的线性组合。

注：互调可以由单个非正弦输入信号或多个正弦或非正弦信号作用于同一或不同输入端引起的。

6.21 中频抑制比 intermediate frequency rejection ratio

接收机中使用的任一中频频率上的规定信号电平与产生同样输出功率的有用信号电平之比。

6.21.22 镜频抑制比 image rejection ratio

接收机镜频频率上的规定信号电平与产生同样输出功率的调谐频率的（有用）信号电平之比。

6.21.23 单信号法 single-signal method

在没有有用信号的情况下测量接收机对无用信号响应的方法。

6.21.24 双信号法 two-signal method

在存在有用信号的情况下确定接收机对无用信号响应的测量方法。

注：用这种方法时，对每种被测接收机都必须规定详细的测试方法和采用的标准。

7 功率控制及供电网络阻抗

7•1 输入功率控制 input power control

对设备、机器或系统的输入功率进行控制以获得所需的性能。

7•2 输出功率控制 output power control

对设备、机器或系统的输出功率进行控制以获得所需的性能。

7•3 周期性通 / 断开关控制 cyclic on / off swithing control

重复地接通和断开设备电源的功率控制。

7•4（控制系统的）程序 Program（of a control system）

完成规定操作所需的一组命令和信息信号。

7•5（按半周的）多周控制 multicycle control（by half-cycles）

改变电流导通半周数与截止半周数之比的过程。

注：例如不同导通时间和截止时间组合可以改变供给受供设备的平均功率。

7•6 同步多周控制 synchronous multicycle control

导通的开始和结束时间与线路电压瞬时值同步的多周控制。

7•7 猝发导通控制 burst firing control

一种同步多周控制，它的开始时刻与电压零点同步而电流流通时间为完整半周期的整数倍。

注：猝发导通控制用于电阻性负载。

7•8 广义相位控制 generalized phase control

在供电电压的一周或半周内，改变一次或数次电流导通时间间隔的过程。

7.9 相位控制 phase control

在供电电压的一周或半周内改变电流导通起始点的过程，在这一过程中，当电流过零点或其附近时导通即中止。

注：相位控制是广义相位控制的一个特例。

7•10 延迟角 delay angle

电流导通起始点被相位控制所延迟的相位角。

注：延迟角可以是固定的或者可变的，正半周与负半周的延迟角也不必相同。

7•11（单相）对称控制 symmetrical control（single phase）

由设计成在交流电压或电流的正负半周按同样方式工作的装置所进行的控制。

注：以输入源的正负半周相同为基础：

如果正负半周的电流波形相同，广义相位控制即为对称控制。如果在每个导通周期内正负半周数相等，多局控制即为对称控制。

7.12 (单相) 不对称控制 asymmetrical control (single phase)

由设计成在交流电压或电流的正负半周按不同方式工作的装置所进行的控制。

注：①如果电流的正负半周波形不同，广义相位控制即为不对称控制。

②如果每个导通周期内正负半周数不相等，多周控制即为不对称控制。

7.13 周期 cycle

以给定的顺序重复出现的一个现象或一组（物理）量所通过的全部状态或量值范围。

7.14 工作周期 cycle of operation

可人为或自动重复的一系列运行。

7.15 公共耦合点 Point of common coupling (PCC)

公共供电网络中电气上与特定用户装置距离最近的点，在这一点上可以接上或者已经接上了其它用户装置。

7.16 供电系统阻抗 supply system impedance

从公共耦合点看进去的供电系统的阻抗。

7.17 供电连接阻抗 service connection impedance

从公共耦合点到计量点用户侧之间的连接阻抗。

7.18 设备接线阻抗 installation wiring impedance

计量点用户侧与一特定接线端之间的接线阻抗。

7.19 设备阻抗 appliance impedance

从设备电源线远端看进去的设备输出阻抗。

8 电压变化与闪烁

8.1 电压变化 voltage change

在一定但非规定的时间间隔内电压均方根值或峰值在两个相邻电平间的持续变动。

8.2 相对电压变化 relative voltage change

电压变化的幅值与额定电压值之比。

8.3 电压变化持续时间 duration of a voltage change

电压由初值增大或减小至终值所经历的时间间隔。

8.4 电压变化时间间隔 voltage change interval

从一个电压变化的起始点到另一个电压变化的起始点所经历的时间间隔。

8.5 电压波动 voltage fluctuation

一连串的电压变化或电压包络的周期性变化。

8.6 电压波动波形 voltage fluctuation waveform

作为时间函数的峰值电压包络。

8.7 电压波动幅度 magnitude of a voltage fluctuation

电压波动期间，均方根值或峰值电压的最大值与最小值之差。

8.8 电压变化发生率 rate of occurrence of voltage changes

单位时间内电压变化出现的次数。

8.9 电压不平衡 voltage unbalance, voltage imbalance

多相系统中的一种状态，在这种状态下，相电压均方根值或邻相之间的相角不相等。

8.10 电压瞬时跌落 voltage dip

电气系统某一点的电压突然下降，经历几周至数秒的短暂持续期后又恢复正常。

8.11 电压浪涌 voltage surge.

沿线路或电路传播的瞬态电压波。其特征是电压快速上升后缓慢下降。

8.12 转换缺口 commutation notch

由于变换器的换向动作而出现在交流电压上的持续时间远小于交流电周期的电压变化。

8.13 闪烁 flicker

亮度或频谱分布随时间变化的光刺激所引起的不稳定的视觉效果。

8.14 闪烁计 flickermeter

用来测量闪烁量值的仪表。

8.15 闪烁感觉阈值 threshold of flicker Perceptibility

引起确定的抽样人群闪烁感觉的亮度或频谱分布的最小波动值。

8.16 闪烁应激性阈值 threshold of flicker irritability

对确定的抽样人群不会引起不适感觉的亮度或频谱分布的最大波动值。

8.17 视觉停闪频率 fusion frequency

刺激视觉的交变频率，在一组给定条件下，高于这一频率的闪烁是感觉不到的。

注：视觉停闪频率亦称临界闪烁频率（critical flicker frequency）。

五、产品内部的 EMC 设计技巧

目前电子器材用于各类电子设备和系统仍然以印制电路板为主要装配方式。实践证明，即使电路原理图设计正确，印制电路板设计不当，也会对电子设备的可靠性产生不利影响。例如，如果印制板两条细平行线靠得很近，则会形成信号波形的延迟，在传输线的终端形成反射噪声。因此，在设计印制电路板的时候，应注意采用正确的方法。

A、地线设计

在电子设备中，接地是控制干扰的重要方法。如能将接地和屏蔽正确结合起来使用，可解决大部分干扰问题。电子设备中地线结构大致有系统地、机壳地（屏蔽地）、数字地（逻辑地）和模拟地等。在地线设计中应注意以下几点：

1. 正确选择单点接地与多点接地

在低频电路中，信号的工作频率小于 1MHz，它的布线和器件间的电感影响较小，而接地电路形成的环流对干扰影响较大，因而应采用一点接地。当信号工作频率大于 10MHz 时，地线阻抗变得很大，此时应尽量降

低地线阻抗，应采用就近多点接地。当工作频率在 1~10MHz 时，如果采用一点接地，其地线长度不应超过波长的 1/20，否则应采用多点接地法。

2. 将数字电路与模拟电路分开

电路板上既有高速逻辑电路，又有线性电路，应使它们尽量分开，而两者的地线不要相混，分别与电源端地线相连。要尽量加大线性电路的接地面积。

3. 尽量加粗接地线

若接地线很细，接地电位则随电流的变化而变化，致使电子设备的定时信号电平不稳，抗噪声性能变坏。因此应将接地线尽量加粗，使它能通过三位于印制电路板的允许电流。如有可能，接地线的宽度应大于 3mm。

4. 将接地线构成闭环路

设计只由数字电路组成的印制电路板的地线系统时，将接地线做成闭环路可以明显的提高抗噪声能力。其原因在于：印制电路板上有很多集成电路组件，尤其遇有耗电多的组件时，因受接地线粗细的限制，会在地结上产生较大的电位差，引起抗噪声能力下降，若将接地结构成环路，则会缩小电位差值，提高电子设备的抗噪声能力。

B、电磁兼容性设计

电磁兼容性是指电子设备在各种电磁环境中仍能够协调、有效地进行工作的能力。电磁兼容性设计的目的是使电子设备既能抑制各种外来的干扰，使电子设备在特定的电磁环境中能够正常工作，同时又能减少电子设备本身对其它电子设备的电磁干扰。

1. 选择合理的导线宽度

由于瞬变电流在印制线条上所产生的冲击干扰主要是由印制导线的电感成分造成的，因此应尽量减少印制导线的电感量。印制导线的电感量与其长度成正比，与其宽度成反比，因而短而精的导线对抑制干扰是有利的。时钟引线、行驱动器或总线驱动器的信号线常常载有大的瞬变电流，印制导线要尽可能地短。对于分立组件电路，印制导线宽度在 1.5mm 左右时，即可完全满足要求；对于集成电路，印制导线宽度可在 0.2~1.0mm 之间选择。

2. 采用正确的布线策略

采用平等走线可以减少导线电感，但导线之间的互感和分布电容增加，如果布局允许，最好采用井字形网状布线结构，具体做法是印制板的一面横向布线，另一面纵向布线，然后在交叉孔处用金属化孔相连。为了抑制印制板导线之间的串扰，在设计布线时应尽量避免长距离的平等走线。

C、去耦电容配置

在直流电源回路中，负载的变化会引起电源噪声。例如在数字电路中，当电路从一个状态转换为另一种状态时，就会在电源线上产生一个很大的尖峰电流，形成瞬变的噪声电压。配置去耦电容可以抑制因负载变

化而产生的噪声，是印制电路板的可靠性设计的一种常规做法，配置原则如下：

●电源输入端跨接一个 10~100 μ F 的电解电容器，如果印制电路板的位置允许，采用 100 μ F 以上的电解电容器的抗干扰效果会更好。

●为每个集成电路芯片配置一个 0.01 μ F 的陶瓷电容器。如遇到印制电路板空间小而装不下时，可每 4~10 个芯片配置一个 1~10 μ F 钽电解电容器，这种器件的高频阻抗特别小，在 500kHz~20MHz 范围内阻抗小于 1 Ω ，而且漏电流很小（0.5 μ A 以下）。

●对于噪声能力弱、关断时电流变化大的器件和 ROM、RAM 等存储型器件，应在芯片的电源线（Vcc）和地线（GND）间直接接入去耦电容。

●去耦电容的引线不能过长，特别是高频旁路电容不能带引线。

D、印制电路板的尺寸与器件的布置

印制电路板大小要适中，过大时印制线条长，阻抗增加，不仅抗噪声能力下降，成本也高；过小，则散热不好，同时易受临近线条干扰。

在器件布置方面与其它逻辑电路一样，应把相互有关的器件尽量放得靠近些，这样可以获得较好的抗噪声效果。时钟发生器、晶振和 CPU 的时钟输入端都易产生噪声，要相互靠近些。易产生噪声的器件、小电流电路、大电流电路等应尽量远离逻辑电路，如有可能，应另做电路板，这一点十分重要。

E、散热设计

从有利于散热的角度出发，印制版最好是直立安装，板与板之间的距离一般不应小于 2cm，而且器件在印制版上的排列方式应遵循一定的规则：

- 对于采用自由对流空气冷却的设备，最好是将集成电路（或其它器件）按纵长方式排列；对于采用强制空气冷却的设备，最好是将集成电路（或其它器件）按横长方式排。

- 同一块印制板上的器件应尽可能按其发热量大小及散热程度分区排列，发热量小或耐热性差的器件（如小信号晶体管、小规模集成电路、电解电容等）放在冷却气流的最上流（入口处），发热量大或耐热性好的器件（如功率晶体管、大规模集成电路等）放在冷却气流最下游。

- 在水平方向上，大功率器件尽量靠近印制板边沿布置，以便缩短传热路径；在垂直方向上，大功率器件尽量靠近印制板上布置，以便减少这些器件工作时对其它器件温度的影响。

- 对温度比较敏感的器件最好安置在温度最低的区域（如设备的底部），千万不要将它放在发热器件的正上

方，多个器件最好是在水平面上交错布局。

- 设备内印制板的散热主要依靠空气流动，所以在设计时要研究空气流动路径，合理配置器件或印制电路板。空气流动时总是趋向于阻力小的地方流动，所以在印制电路板上配置器件时，要避免在某个区域留有较大的空域。

六、电磁干扰的屏蔽方法

电磁兼容(EMC)是指“一种器件、设备或系统的性能，它可以使其在自身环境下正常工作并且同时不会对此环境中任何其他设备产生强烈电磁干扰(IEEE C63.12-1987)。”对于无线收发设备来说，采用非连续频谱可部分实现 EMC 性能，但是很多有关的例子也表明 EMC 并不总是能够做到。例如在笔记本电脑和测试设备之间、打印机和台式电脑之间以及蜂窝电话和医疗仪器之间等都具有高频干扰，我们把这种干扰称为电磁干扰(EMI)。

1、EMC 问题来源

所有电器和电子设备工作时都会有间歇或连续性电压电流变化，有时变化速率还相当快，这样会导致在不同频率内或一个频段间产生电磁能量，而相应的电路则会将这种能量发射到周围的环境中。

EMI 有两条途径离开或进入一个电路：辐射和传导。信号辐射是通过外壳的缝、槽、开孔或其他缺口泄漏出去；而信号传导则通过耦合到电源、信号和控制线上离开外壳，在开放的空间中自由辐射，从而产生干扰。

很多 EMI 抑制都采用外壳屏蔽和缝隙屏蔽结合的方式来实现，大多数时候下面这些简单原则可以有助于实现 EMI 屏蔽：从源头处降低干扰；通过屏蔽、过滤或接地将干扰产生电路隔离以及增强敏感电路的抗干扰能力等。EMI 抑制性、隔离性和低敏感性应该作为所有电路设计人员的目标，这些性能在设计阶段的早期就应完成。

对设计工程师而言，采用屏蔽材料是一种有效降低 EMI 的方法。如今已有多种外壳屏蔽材料得到广泛使用，从金属罐、薄金属片和箔带到在导电织物或卷带上喷射涂层及镀层(如导电漆及锌线喷涂等)。无论是金属还是涂有导电层的塑料，一旦设计人员确定作为外壳材料之后，就可着手开始选择衬垫。

2、金属屏蔽效率

可用屏蔽效率(SE)对屏蔽罩的适用性进行评估，其单位是分贝，计算公式为 $SE_{dB}=A+R+B$

其中 A：吸收损耗(dB) R：反射损耗(dB) B：校正因子(dB) (适用于薄屏蔽罩内存在多个反射的情况)

一个简单的屏蔽罩会使所产生的电磁场强度降至最初的十分之一，即 SE 等于 20dB；而有些场合可能会要求将场强降至为最初的十万分之一，即 SE 要等于 100dB。

吸收损耗是指电磁波穿过屏蔽罩时能量损耗的数量，吸收损耗计算式为

$$AdB=1.314(f \times \sigma \times \mu)^{1/2} \times t$$

其中 f: 频率(MHz) μ : 铜的导磁率 σ : 铜的导电率 t: 屏蔽罩厚度

反射损耗(近场)的大小取决于电磁波产生源的性质以及与波源的距离。对于杆状或直线形发射天线而言，离波源越近波阻越高，然后随着与波源距离的增加而下降，但平面波阻则无变化(恒为 377)。

相反，如果波源是一个小型线圈，则此时将以磁场为主，离波源越近波阻越低。波阻随着与波源距离的增加而增加，但当距离超过波长的六分之一时，波阻不再变化，恒定在 377 处。

反射损耗随波阻与屏蔽阻抗的比率变化，因此它不仅取决于波的类型，而且取决于屏蔽罩与波源之间的距离。这种情况适用于小型带屏蔽的设备。

近场反射损耗可按下式计算

$$R(\text{电})dB=321.8-(20 \times \lg r)-(30 \times \lg f)-[10 \times \lg(\mu / \sigma)] \quad R(\text{磁})dB=14.6+(20 \times \lg r)+(10 \times \lg f)+[10 \times \lg(\mu / \sigma)]$$

其中 r: 波源与屏蔽之间的距离。

SE 算式最后一项是校正因子 B，其计算公式为

$$B=20 \lg[-\exp(-2t / \sigma)]$$

此式仅适用于近磁场环境并且吸收损耗小于 10dB 的情况。由于屏蔽物吸收效率不高，其内部的再反射会使穿过屏蔽层另一面的能量增加，所以校正因子是个负数，表示屏蔽效率的下降情况。

3、EMI 抑制策略

只有如金属和铁之类导磁率高的材料才能在极低频率下达到较高屏蔽效率。这些材料的导磁率会随着频率增加而降低，另外如果初始磁场较强也会使导磁率降低，还有就是采用机械方法将屏蔽罩作成规定形状同样会降低导磁率。综上所述，选择用于屏蔽的高导磁性材料非常复杂，通常要向 EMI 屏蔽材料供应商以及有关咨询机构寻求解决方案。

在高频电场下，采用薄层金属作为外壳或内衬材料可达到良好的屏蔽效果，但条件是屏蔽必须连续，并将敏感部分完全遮盖住，没有缺口或缝隙(形成一个法拉第笼)。然而在实际中要制造一个无缝隙及缺口的屏

屏蔽罩是不可能的，由于屏蔽罩要分成多个部分进行制作，因此就会有缝隙需要接合，另外通常还得在屏蔽罩上打孔以便安装与插卡或装配组件的连线。

设计屏蔽罩的困难在于制造过程中不可避免会产生孔隙，而且设备运行过程中还会需要用到这些孔隙。制造、面板连线、通风口、外部监测窗口以及面板安装组件等都需要在屏蔽罩上打孔，从而大大降低了屏蔽性能。尽管沟槽和缝隙不可避免，但在屏蔽设计中与电路工作频率波长有关的沟槽长度作仔细考虑是很有好处的。

任一频率电磁波的波长为：波长(λ)=光速(C)/频率(Hz)

当缝隙长度为波长(截止频率)的一半时，RF波开始以20dB/10倍频(1/10截止频率)或6dB/8倍频(1/2截止频率)的速率衰减。通常RF发射频率越高衰减越严重，因为它的波长越短。当涉及到最高频率时，必须考虑可能会出现的所有谐波，不过实际上只需考虑一次及二次谐波即可。

一旦知道了屏蔽罩内RF辐射的频率及强度，就可计算出屏蔽罩的最大允许缝隙和沟槽。例如如果需要对1GHz(波长为300mm)的辐射衰减26dB，则150mm的缝隙将会开始产生衰减，因此当存在小于150mm的缝隙时，1GHz辐射就会被衰减。所以对1GHz频率来讲，若需要衰减20dB，则缝隙应小于15mm(150mm的1/10)，需要衰减26dB时，缝隙应小于7.5mm(15mm的1/2以上)，需要衰减32dB时，缝隙应小于3.75mm(7.5mm的1/2以上)。

可采用合适的导电衬垫使缝隙大小限定在规定尺寸内，从而实现这种衰减效果。

定在规定尺寸内，从而实现这种衰减效果。

4、屏蔽设计难点

由于接缝会导致屏蔽罩导通率下降，因此屏蔽效率也会降低。要注意低于截止频率的辐射其衰减只取决于缝隙的长度直径比，例如长度直径比为3时可获得100dB的衰减。在需要穿孔时，可利用厚屏蔽罩上面小孔的波导特性；另一种实现较高长度直径比的方法是附加一个小型金属屏蔽物，如一个大小合适的衬垫。上述原理及其在多缝情况下的推广构成多孔屏蔽罩设计基础。

多孔薄型屏蔽层：多孔的例子很多，比如薄金属片上的通风孔等等，当各孔间距较近时设计上必须要仔细考虑。下面是此类情况下屏蔽效率计算公式

$SE = [20 \lg(fc/o/\sigma)] - 10 \lg n$ 其中 fc/o ：截止频率 n ：孔洞数目

注意此公式仅适用于孔间距小于孔直径的情况，也可用于计算金属编织网的相关屏蔽效率。

接缝和接点：电焊、铜焊或锡焊是薄片之间进行永久性固定的常用方式，接合部位金属表面必须清理干净，以使接合处能完全用导电的金属填满。不建议用螺钉或铆钉进行固定，因为紧固件之间接合处的低阻接触状态不容易长久保持。

导电衬垫的作用是减少接缝或接合处的槽、孔或缝隙，使 RF 辐射不会散发出去。EMI 衬垫是一种导电介质，用于填补屏蔽罩内的空隙并提供连续低阻抗接点。通常 EMI 衬垫可在两个导体之间提供一种灵活的连接，使一个导体上的电流传至另一导体。

封孔 EMI 衬垫的选用可参照以下性能参数：

- 特定频率范围的屏蔽效率
- 安装方法和密封强度
- 与外罩电流兼容性以及对外部环境的抗腐蚀能力。
- 工作温度范围
- 成本

大多数商用衬垫都具有足够的屏蔽性能以使设备满足 EMC 标准，关键是在屏蔽罩内正确地对垫片进行设计。

垫片系统：一个需要考虑的重要因素是压缩，压缩能在衬垫和垫片之间产生较高导电率。衬垫和垫片之间导电性太差会降低屏蔽效率，另外接合处如果少了一块则会出现细缝而形成槽状天线，其辐射波长比缝隙长度小约 4 倍。

确保导通性首先要保证垫片表面平滑、干净并经过必要处理以具有良好导电性，这些表面在接合之前必须先遮住；另外屏蔽衬垫材料对这种垫片具有持续良好的粘合性也非常重要。导电衬垫的可压缩特性可以弥补垫片的任何不规则情况。

所有衬垫都有一个有效工作最小接触电阻，设计人员可以加大对衬垫的压缩力度以降低多个衬垫的接触电阻，当然这将增加密封强度，会使屏蔽罩变得更为弯曲。大多数衬垫在压缩到原来厚度的 30%至 70%时效果比较好。因此在建议的最小接触面范围内，两个相向凹点之间的压力应足以确保衬垫和垫片之间具有良好的导电性。

另一方面，对衬垫的压力不应大到使衬垫处于非正常压缩状态，因为此时会导致衬垫接触失效，并可能产生电磁泄漏。与垫片分离的要求对于将衬垫压缩控制在制造商建议范围非常重要，这种设计需要确保垫片具有足够的硬度，以免在垫片紧固件之间产生较大弯曲。在某些情况下，可能需要另外一些紧固件以防止外壳结构弯曲。

压缩性也是转动接合处的一个重要特性，如在门或插板等位置。若衬垫易于压缩，那么屏蔽性能会随着门的每次转动而下降，此时衬垫需要更高的压缩力才能达到与新衬垫相同的屏蔽性能。在大多数情况下这不太可能做得到，因此需要一个长期 EMI 解决方案。

如果屏蔽罩或垫片由涂有导电层的塑料制成，则添加一个 EMI 衬垫不会产生太多问题，但是设计人员必须考虑很多衬垫在导电表面上都会有磨损，通常金属衬垫的镀层表面更易磨损。随着时间增长这种磨损会降低衬垫接合处的屏蔽效率，并给后面的制造商带来麻烦。

如果屏蔽罩或垫片结构是金属的，那么在喷涂抛光材料之前可加一个衬垫把垫片表面包住，只需用导电膜和卷带即可。若在接合垫片的两边都使用卷带，则可用机械固件对 EMI 衬垫进行紧固，例如带有塑料铆钉或压敏粘剂 (PSA) 的“C 型”衬垫。衬垫安装在垫片的一边，以完成对 EMI 的屏蔽。

5、衬垫及附件

目前可用的屏蔽和衬垫产品非常多，包括镀-铜接头、金属网线(带弹性内芯或不带)、嵌入橡胶中的金属网和定向线、导电橡胶以及具有金属镀层的聚氨酯泡沫衬垫等。大多数屏蔽材料制造商都可提供各种衬垫能达到的 SE 估计值，但要记住 SE 是个相对数值，还取决于孔隙、衬垫尺寸、衬垫压缩比以及材料成分等。衬垫有多种形状，可用于各种特定应用，包括有磨损、滑动以及带铰链的场合。目前许多衬垫带有粘胶或在衬垫上面就有固定装置，如挤压插入、管脚插入或倒钩装置等。

各类衬垫中，涂层泡沫衬垫是最新也是市面上用途最广的产品之一。这类衬垫可做成多种形状，厚度大于 0.5mm，也可减少厚度以满足 UL 燃烧及环境密封标准。还有另一种新型衬垫即环境/EMI 混合衬垫，有了它就可以无需再使用单独的密封材料，从而降低屏蔽罩成本和复杂程度。这些衬垫的外部覆层对紫外线稳定，可防潮、防风、防清洗溶剂，内部涂层则进行金属化处理并具有较高导电性。最近的另外一项革新是在 EMI 衬垫上装了一个塑料夹，同传统压制型金属衬垫相比，它的重量较轻，装配时间短，而且成本更低，因此更具市场吸引力。

6、结论

设备一般都需要进行屏蔽，这是因为结构本身存在一些槽和缝隙。所需屏蔽可通过一些基本原则确定，但是理论与现实之间还是有差别。例如在计算某个频率下衬垫的大小和间距时还必须考虑信号的强度，如同在一个设备中使用了多个处理器时的情形。表面处理及垫片设计是保持长期屏蔽以实现 EMC 性能的关键因素。

七、电磁兼容 (EMC) 设计如何融入产品研发流程

1、业界面临挑战

如何使自己的产品满足相应市场中电磁兼容 (EMC) 标准要求，从而快速低成本的取得相关认证，顺利的进入目标市场？这是每一个向国际化转型公司研发都会面临的问题与困惑，各个企业产品研发部门面临着巨大挑战。

根据我们对业界大多电子企业的了解，目前企业在 EMC 设计方面的现状是：“三个没有”——产品工程师没有掌握 EMC 设计方法、企业没有产品 EMC 设计流程、企业没有具体明确 EMC 责任人。主要表现在：

由于国内研发工程师大多没有接受系统的全面的 EMC 培训经历，更没有电磁兼容产品的相关设计经验！遇

到产品 EMC 设计问题不知如何解决？所以我们经常看到有相当一部分产品工程师整天在整改产品，但往往不得其法，没有思路！

企业内部没有一套针对 EMC 设计流程，EMC 性能设计的好坏完全取决于个别产品开发人员的素质和经验，使得公司开发出来的产品电磁兼容性能没有一致性的保证，通常都会在某个环节出现问题，导致产品多数在后期不能顺利的通过测试与认证，影响了产品的上市进度。根据我们初步调查，全国 90%以上的电子企业没有一套 EMC 设计、验证流程。

企业没有一套对 EMC 性能负责的责任体系，没有专职的 EMC 设计工程师。因为 EMC 涉及整个产品的各个环节，整个公司没有明确的责任人，也就没有足够的关注，同时也不能协调整个产品各部分相关共同对产品最终 EMC 性能负责！目前业界具有 EMC 设计的工程师很少，而企业里面有专职进行 EMC 设计岗位的就更少！

2、业界面临的问题

一个产品的设计主要经历总体规格方案设计、详细设计、原理图设计、PCB 设计、产品结构试装、摸底预测试、认证几个阶段。目前业界很多公司都是在前期设计阶段没有考虑 EMC 方面问题，往往是在在产品样机出来再进行 EMC 摸底测试，如果这时测试通过，则是比较幸运的。但很不幸的是，大多数情况下是不能测试通过的，这时出了问题进行整改并需要对产品重新设计，常常会要进行较大改动。

这个阶段产品电磁兼容出现问题原因比较多，如果是因为屏蔽问题往往会涉及结构模具改动，如果因为接口滤波问题就会对产品原理图进行改动，同时导致 PCB 的重新设计，还有可能会因为系统接地问题，那就会对整个产品系统重新做调整，重新设计。深圳有一家著名的仪器企业某款产品由于电磁兼容问题整改导致产品延迟海外上市一年，同时研发费用增加五十万元人民币！

这种通过研发后期测试发现问题然后再对产品进行的测试修补法业界比较常见，但往往会导致企业产品不能及时取得认证而上市，因此也是目前很多走向国际市场公司研发部门所面临的困惑。出现这种现状的根本原因是：没有把 EMC 问题在产品前期解决！

3、系统流程法(System Flow Method)

产品工程师可以通过短期的培训以及通过积累经验基本掌握 EMC 设计的方法，但对于一个企业来讲，目前迫切的是建立一套规范的 EMC 设计流程，把电磁兼容要求融入产品设计中去，这样才能保证企业大多产品经过这样的流程顺利通过测试认证。如果能从设计流程的早期阶段就导入正确 EMC 设计策略，同时研发工程师掌握正确的 EMC 设计方法，从产品设计源头解决 EMC 问题，将可以减少许多不必要的人力及研发成本，缩短产品上市周期。

业界很多专家对于产品 EMC 设计主要从技术点来讲，如屏蔽、滤波、接地、PCB 设计等层面，但对于一个企业来讲，这些都是些技术知识点，理论描述，关键是如何在我们企业的研发流程中如何实施，同时如何把电磁兼容知识与我们产品设计结合，形成针对企业产品可操做的规范与 CHECKLIST(检查控制表)？那

么如何把 EMC 设计融入研发设计流程，我们根据国内外著名公司的 EMC 设计流程整理总结出一套先进的流程，我们称之为：系统流程法(System Flow Method)系统流程法，即主要在研发流程中融入 EMC 设计理念，在产品设计的各个阶段进行 EMC 设计控制，把可能出现的 EMC 问题在研发前期进行考虑；设计过程中主要从产品的电路（原理图、PCB 设计），结构与电缆，电源模块，接地等方面系统考虑 EMC 问题，针对可能出现 EMC 问题进行前期充分考虑，从而确保产品样品出来后能够一次性通过测试与认证！

4、系统流程法简介

系统流程法就是在产品设计的研发阶段，从流程上进行设计控制，确保 EMC 的设计理念，设计手段在各个阶段得以相应的实施，另外 EMC 设计从产品的系统角度进行考虑，而不是单纯的某个局部，只有这样才能保证产品最终的 EMC 性能。

每个公司应该建立一套 EMC 设计控制流程，同时支撑这个流程的需要相应的 EMC 设计规范以及 EMC 设计查检表，确保产品在研发过程各个阶段，都能进行 EMC 设计控制。

系统流程法具体各个阶段工作内容如下：

产品总体方案设计

在总体方案设计阶段要求对产品的总体规格进行 EMC 设计考虑，主要涉及产品销售的目标市场，以及需要满足的标准法规要求，同时注意后续潜在目标市场的 EMC 标准和法规的要求。基于以上对产品的 EMC 标准法规的要求提出产品的总体 EMC 设计框图，并详细制定产品 EMC 设计总体方案，如系统的屏蔽如何设计，系统整个电源拓扑基础上滤波如何设计，产品的接地如何系统考虑等。

如果一款复杂数据通信产品，产品定位了欧洲与日本市场，这样就明确产品进入上述市场就必须通过 CE 与 VCCI 认证，就要考虑系统整体的结构屏蔽、电源以及信号接口滤波方案，整个系统的接地三个方面，从产品总体方案考虑来达到上述目标市场认证要求。

这个阶段产品研发人员提出 EMC 总体方案，品质或专门的 EMC 工程师依据检查列表进行把关检查。

产品详细方案设计

在产品详细方案设计阶段主要提出对产品总体硬件 EMC 设计方案，如：电源接口，信号接口，电缆选型，接口结构设计，连接器选型等提出详细的 EMC 设计与选型要求。确保后续实施过程中能够重点关注注意这些要点。

如果我们设计一款医疗器械产品，就需要注意内部数字电路模块与模拟电路模块的隔离，需要从内部空间考虑数字电路对模拟电路的干扰，同时重点注意内部电缆接口滤波处理。

这个阶段产品硬件设计人员根据已有的规范提出 EMC 详细方案，品质或专门的 EMC 工程师依据检查列表进行把关检查。

产品原理图设计

在产品原理图设计阶段主要对产品内部的主芯片的滤波电路设计，晶振电源管脚的滤波电路，时钟驱动芯片的滤波电路设计，电源输入插座的滤波电路设计，对外信号接口的滤波电路设计，以及滤波和防护元器件选型，单板功能地和保护地属性的划分，单板螺丝孔的属性定义等提出详细的方案，确保滤波、接地的 EMC 手段在此阶段进行实施。

我们通常设计以太网接口产品都会用到 25MHZ 或 125MHZ 时钟，那么对时钟电路的滤波处理就是原理图设计阶段的重点，需要考虑时钟电路的电源以及走线如何滤波，磁珠、电阻如何选择。

这个阶段产品硬件原理图设计人员根据详细方案要求进行 EMC 原理图详细方案设计，品质或专门的 EMC 工程师依据检查列表进行把关检查。

产品 PCB 设计

在产品 PCB 设计阶段，主要考虑对 EMC 影响巨大的层叠结构设计、关键元器件的布局考虑以及高速数字信号布线。层叠结构设计主要考虑高速信号与电源平面的回流。布局阶段特别要考虑 PCB 上面的关键芯片器件摆放，如晶振位置，数字模拟电路设置，接口防护滤波电路的摆放，高频滤波电容等摆放，PCB 的接地螺钉个数和位置设置，连接器的接地管脚设置，地平面和电源平面的详细分割等。在布线阶段将重点考虑高速不跨分割，关键敏感信号的走线保护，减小串绕等。

曾经有一款产品由于晶振布局位置不当，靠近接口电缆导致电磁兼容辐射发射项目测试超标，就是因为 PCB 布局阶段没有考虑好晶振这样关键器件的布局！

这个阶段产品 PCB 设计人员根据公司相关设计规范要求进行 PCB 单板的设计，品质或专门的 EMC 工程师依据检查列表进行把关检查。

产品结构设计方案

在产品结构方案设计阶段，主要针对产品需要满足 EMC 法规标准，对产品采用什么屏蔽设计方案、选择什么屏蔽材料，以及材料的厚度提出设计方案，另外对屏蔽体之间的搭接设计，缝隙设计考虑，同时重点考虑接口连接器与结构件的配合。

如果我们设计一款 ADSL 上网的终端产品，进行结构设计就有金属架构或塑料机构选择，这对与 EMC 屏蔽会导致有完全不同的结果！另外对于金属屏蔽结构产品，需要考虑接口如 232、以太网口、USB 接口连接器与结构搭接，保证搭接阻抗足够小，否则会导致系统 EMI 测试超标！

这个阶段产品结构设计人员根据公司相关设计规范要求进行产品的结构设计，品质或专门的 EMC 工程师依据检查列表进行把关检查。

产品初样试装

在产品初样试装阶段，主要是对产品前期总体设计方案，详细设计方案，PCB 布局设计以及结构模型等各个环节的 EMC 设计控制措施的检验，看看前期提出设计方案的执行程度；另外主要检查检查电路单板与结构之间的配合，是否还存在 EMC 隐患，提前发现问题，便于后续做产品正样的时候一起完善。

通常我们会在这个阶段发现一些结构加工工艺问题以及设备内部电缆走线错误，需要更正。

这个阶段主要是产品整机相关设计人员共同对产品样品进行检视评估，检查出加工问题以及产品的 EMC 隐患，以便后续摸底测试与改进版本时完善。

产品 EMC 摸底验证

在产品试装完成后，如果没有什么特别配合上面的问题，就可以对样机按照总体设计方案预设的目标市场的法规标准进行 EMC 摸底测试，看看产品是否能够满足预设标准要求。前期设计方案能否满足标准要求都需要在这个阶段验证出来，如果还存在什么问题就需要把存在的问题定位出来，便于产品在下次 PCB 改板和结构正样的时候一起优化更改。

这个阶段主要是 EMC 工程师共同按照产品销售市场进行相应的 EMC 摸底测试，如果有小问题就进行修改，没有问题就可以根据市场开拓情况决定是否启动认证。

产品认证

如果在产品按照预先设计的方案和方法 EMC 测试能够通过，那么我们可以进行产品的认证，如 CE、FCC、VCCI 等认证。

5、系统流程法实施效果

系统流程法确实能够真正帮助企业从产品设计源头把 EMC 问题解决，为企业节省大量的人力物力！目前国内外大公司的 EMC 设计都采取系统流程法，都取得很好的实施效果，通过流程建设都基本可以达到这样一个宗旨：EMC 设计同步产品设计，一次性把事情做好！

欢迎来到控制工程中文网

<http://www.cechinamag.com/>