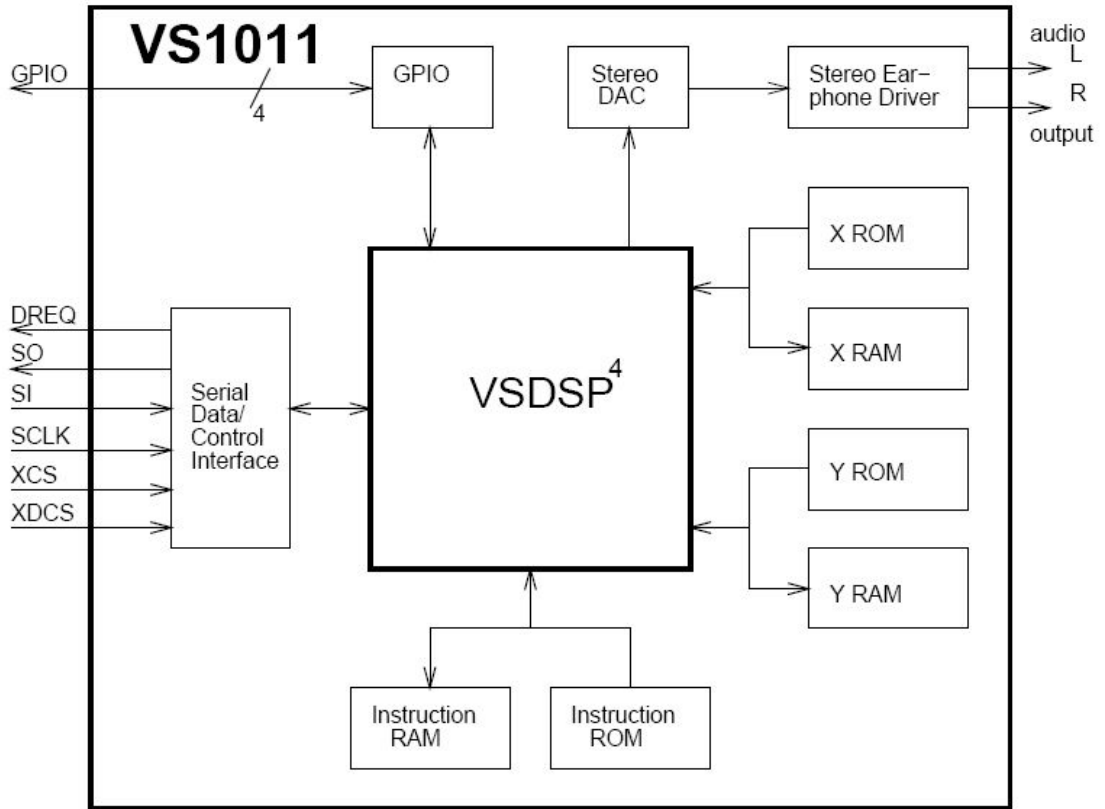


VS1011B 中文简介

Written by pasyong

1. 简介

VS1011B 是一款单芯片的 MP3 解码芯片，集成解码、AD 转换，放大功能。内部结构图如下



2. 引脚定义

引脚名称	脚号	特性	功能
XRESET	3	DI	电路复位端，低电平有效
DGND0	4	D2	电源地（数字）
DREQ	8	DO	数据请求端口
GPIO2 ² /DCLK ³	9	DI	常规IO端口2/SDI时钟信号输入端
GPIO3 ² /SDATA ⁴	10	DI	常规IO端口3/SDI数据输入端
XDCS/BSYNC	13	DI	数字片选信号端/字节同步信号端，不用时接DVDD端
DVDD1	14	PWD	电源正（数字）
DGND1	16	PWD	电源地（数字）
XTALO	17	AO	时钟信号输出
XTALI	18	AI	时钟信号输入
DVDD2	19	PWD	电源正（数字）
DGND2	20	PWD	电源地（数字）
DGND3	21	PWD	电源地（数字）
DGND4	22	PWD	电源地（数字）
XCS	23	DI	片选输入
SCLK	28	DI	SCI时钟输入端
SI	29	DI	SCI数据输出端
SO	30	DO	SCI数据输出端
TEST	32	DI	（保留）测试端口，接DVDD
GPIO0 ²	33	DIO	常规IO端口0，接100k欧姆下拉电阻
GPIO1 ²	34	DIO	常规IO端口1
AGND0	37	PWD	接地端（模拟），降噪音参考端
AVDD0	38	PWD	电源正（模拟）
RIGHT	39	AO	右声道音频输出
AGND1	40	PWD	接地端（模拟）
AGND2	41	PWD	接地端（模拟）
GBUF	42	AO	接地缓冲端口
AVDD1	43	PWD	电源正（模拟）
RCAP	44	AIO	参考滤波电容
AVDD2	45	PWD	电源正（模拟）
LEFT	46	AO	左声道音频输出
AGND3	47	PWR	接地端（模拟）

1. 既可使用“NEW_MODE”模式，又可使用“兼容”模式

2. 不采用时，以下拉电阻100K欧姆接地

注： DI—数字输入 DO—数字输出 DIO—数字输入/输出 DO3—数字输出（CMOS三态）

AI—模拟输入 AO—模拟输出 AIO—模拟输入/输出 PWD—供电

1, 2, 5, 7, 11, 12, 15, 24, 25, 26, 27, 31, 35, 36, 48不接

3. 接口说明

VS10011采用串行接口。有两个接口模式，VS1002 Native Modes (New Mode)新模式和VS1001 Compatibility Mode兼容模式。注意，上电时，默认为新模式。当0X0的MODE寄存器的SM_SDINEW位为1时为新模式，反之为兼容模式。

新模式如下图

SDI Pin	SCI Pin	Description
XDCS	XCS	Active low chip select input. A high level forces the serial interface into standby mode, ending the current operation. A high level also forces serial output (SO) to high impedance state. If SM_SDISHARE is 1, pin XDCS is not used, but the signal is generated internally by inverting XCS.
SCK		Serial clock input. The serial clock is also used internally as the master clock for the register interface. SCK can be gated or continuous. In either case, the first rising clock edge after XCS has gone low marks the first bit to be written.
SI		Serial input. If a chip select is active, SI is sampled on the rising CLK edge.
-	SO	Serial output. In reads, data is shifted out on the falling SCK edge. In writes SO is at a high impedance state.

兼容模式如下图

SDI Pin	SCI Pin	Description
-	XCS	Active low chip select input. A high level forces the serial interface into standby mode, ending the current operation. A high level also forces serial output (SO) to high impedance state. There is no chip select for SDI, which is always active.
DCLK	SCK	Serial clock input. The serial clock is also used internally as the master clock for the register interface. SCK can be gated or continuous. In either case, the first rising clock edge after XCS has gone low marks the first bit to be written.
SDATA	SI	Serial input. SI is sampled on the rising SCK edge, if XCS is low.
-	SO	Serial output. In reads, data is shifted out on the falling SCK edge. In writes SO is at a high impedance state.

由上面两个图可知，在新模式下，SDI和SCI可以共享AVR单片机的一个SPI接口，而兼容模式SDI要用DCLK，SDATA串行接口，SCI用SPI接口。为了简化电路，我们选用新模式。基于SDI和SCI分别是数据传输格式和命令传输格式。

以下的说明都默认在新模式下，XDCS、XCS 起来数据片选和芯片片选外，还起着同步的作用。

3.1 SDI 数据传输格式

先选 XDCS 数据片选信号，然后再用 SPI 接口发送一个字节，或者一个数据块。再拉高 XDCS。起来信号同步的作用。

3.2 SCI 数据传输格式

SCI 传输协议规定为一次 SCI 格式包括命令字节、地址字节、16 位数据。

命令字节分为读和写命令，分别为 0000 0011, 0000 0010。地址字节就是寄存器的地址，比如 MODE 寄存器为 0X00。由于寄存器为 16 位的，读写都用 16 位数据。
下面两图分别的 SCI 读写格式。

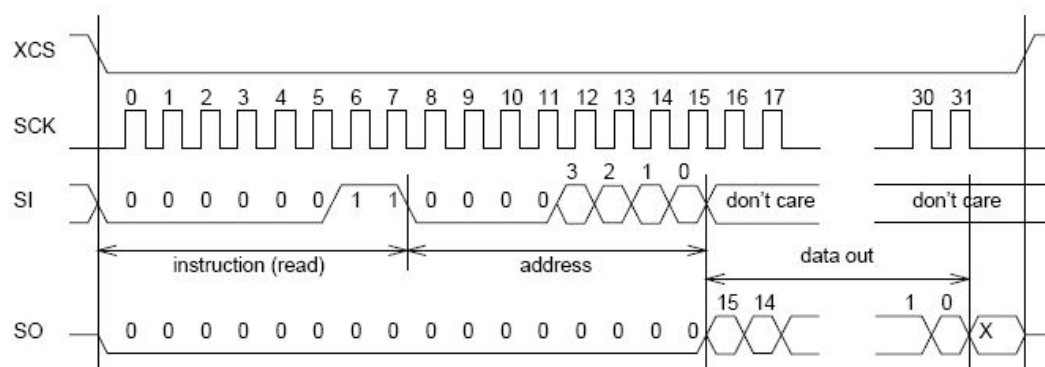


Figure 7: SCI Word Read

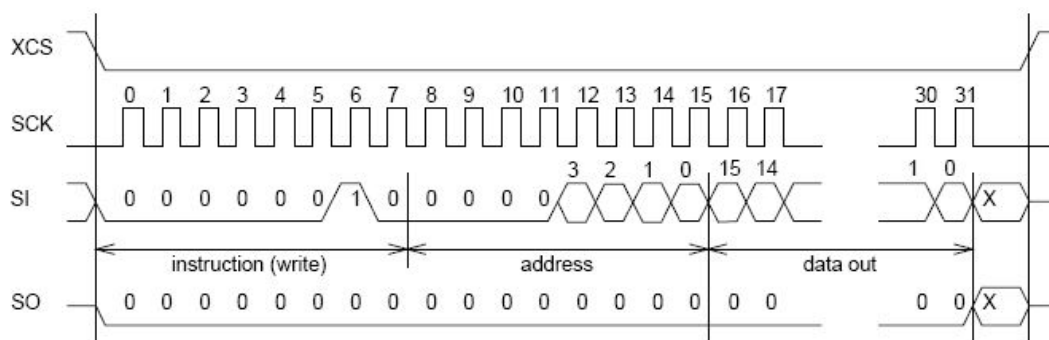


Figure 8: SCI Word Write

3.3 DREQ引脚

DREQ信号是用来表示VS1011的MP3数据缓冲区是否需要数据。MP3的原理就是控制器读取MP3数据（U盘，SD卡）不停的送入VS100解码器解码。我们所要做的工作就是当VS1011的MP3数据缓冲区需要数据时，就读取数据源送入SV1011。当1011的MP3数据缓冲区可能再接收32个字节时，DREQ引脚变高。我们查询此引脚，就可以送入32个字节。

4. VS1011 的内部寄存器

SCI registers, prefix SCI_, offset 0xC000				
Reg	Type	Reset	Abbrev[bits]	Description
0x0	rw	0	MODE	Mode control.
0x1	rw	0x1C ¹	STATUS	Status of VS1011b.
0x2	rw	0	BASS	Built-in bass enhancer.
0x3	rw	0	CLOCKF	Clock freq + doubler.
0x4	r	0	DECODE_TIME	Decode time in seconds.
0x5	rw	0	AUDATA	Misc. audio data.
0x6	rw	0	WRAM	RAM write.
0x7	rw	0	WRAMADDR	Base address for RAM write.
0x8	r	0	HDATA0	Stream header data 0.
0x9	r	0	HDATA1	Stream header data 1.
0xA	rw	0	AIADDR	Start address of application.
0xB	rw	0	VOL	Volume control.
0xC	rw	0	AICTRL0	Application control register 0.
0xD	rw	0	AICTRL1	Application control register 1.
0xE	rw	0	AICTRL2	Application control register 2.
0xF	rw	0	AICTRL3	Application control register 3.

其中重要的有三个寄存器，MODE、CLOCKF、VOL。分别为模式选择，频率设定，音量调节。

MODE 寄存器的 SM SDINew 位为 1 时为新模式，反之为兼容模式。

CLOCKF 寄存器值计算公式为 $XTALI/2000$ 。

VOL 寄存器的 16 位，高 8 位和低 8 位分别控制左声道的音量。高低 8 位的范围为 0—255。0 时音量最大，255 最小。