

NTD8288 使用说明

V 1.0

主要特征

- 双核、8 位、100 MSPS ADC
- 军用级工作温度：零下 200 摄氏度到零上 125 摄氏度
- 低功耗：每通道 70mW（100 MSPS）
- 片内基准电压源和采样保持
- SNR = 47 dB @ 41 MHz, Encode = 100MSPS
- 每通道模拟输入范围：1 V p-p
- 3.0 V 单电源供电（2.7 V 至 3.6 V）
- 提供单通道工作省电模式
- 输出模式：二进制补码或偏移二进制
- 输出数据对准模式
- 与 8 位 AD9288 引脚兼容
- 与 10 位 AD9218 引脚兼容

应用

- 电池供电仪表
- 手持式示波器
- 低成本数字示波器
- I&Q 通信
- 超声设备

产品描述

NTD8288 是一款双核 8 位单芯片采样模数转换器 (ADC)，内置片内采样保持电路，具有低成本、低功耗、小尺寸和易于使用等特性。它采用 100 MSPS 转换速率工作，在整个工作范围内都具有出色的动态性能。每个通道均可以独立工作。

该 ADC 只需一个 3.0 V (2.7 V 至 3.6 V) 单电源和一个时钟就能发挥全部效能。对于大多数应用来说，无需外部基准电压源或驱动器件。数字输出为 TTL/CMOS 兼容，单独的输出电源引脚支持 3.3 V 或 2.5 V 逻辑接口。

时钟输入为 TTL/CMOS 兼容。用户可选项提供各种省电模式、数字数据格式和数字数据定时方案组合。在省电模式下，数字输出被置为高阻状态。

功能模块框图

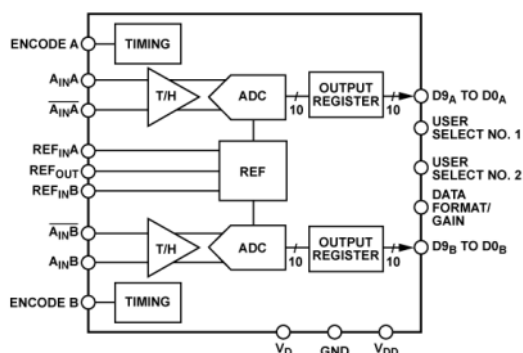


图 1

本产品突出性能特点

1. 低功耗：每通道功耗仅 70mW（100 MSPS）；在保持高交流性能的同时，其它速度等级的功耗按比例降低。
2. 引脚兼容升级：8 位器件可轻松升级至 10 位器件，与 8 位 AD9288 双核 ADC 引脚兼容。
3. 易于使用：片内基准电压和用户控制选项使系统设计更灵活。
4. 高性能：在 Nyquist 输入频率时，信噪比保持在 47dB（100 MSPS）。
5. 采用先进的 CMOS 工艺制造，提供 48 引脚薄型四方扁平封装（7 mm × 7 mm LQFP），额定温度范围为 -200° C 至 +125° C 军用温度范围。

管脚分布和功能描述

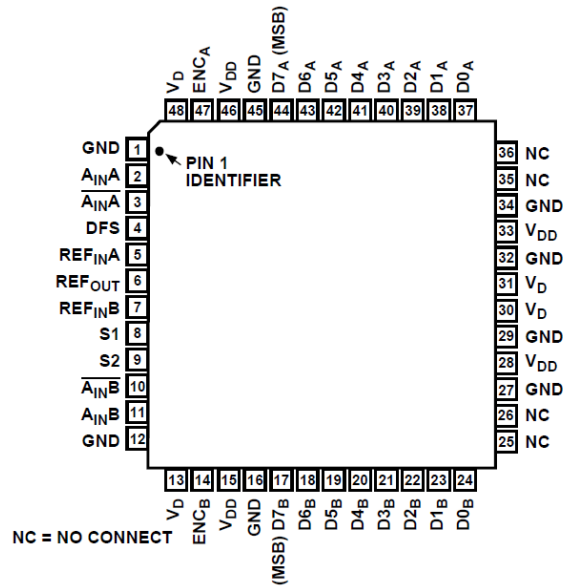


图 2 管脚分布

表 1 管脚功能描述

管脚序号	管脚名称	描述
1, 12, 16, 27, 29, 32, 34, 45	GND	地。
2	A _{IN} A	A 通道的模拟输入（正端）。
3	A _{IN} A-	A 通道的模拟输入（负端）。
4	DFS/GAIN	数据格式选择。此引脚输入低电平时数字输出为二进制输出，此引脚输入高电平时数字输出为二进制补码形式输出。
5	REF _{IN} A	A 通道的参考电压输入。
6	REF _{OUT}	片内参考电压。
7	REF _{IN} B	B 通道的参考电压输入。
8	S1	工作模式选择端，用法见表 4。
9	S2	工作模式选择端，用法见表 4。
10	A _{IN} B-	B 通道的模拟输入（负端）。
11	A _{IN} B	B 通道的模拟输入（正端）。
13, 30, 31, 48	V _D	模拟电源（3V）。
14	ENC _B	B 通道的时钟输入端。
15, 28, 33, 46	V _{DD}	数字电源（2.5V 到 3.6V）。
17 到 24	D7 _B 到 D0 _B	B 通道的数字输出（D9 _B =MSB）。
37 到 44	D0 _A 到 D7 _A	A 通道的数字输出（D9 _A =MSB）。
47	ENC _A	A 通道的时钟输入端。

直流规格

$V_{DD}=3V$, $V_D=3V$, 使用片内参考, 温度为 25 摄氏度。

表 2 直流规格

参数	最小值	典型值	最大值	单位
分辨率		8		位
DNL		± 0.5		LSB
INL		± 0.5		LSB
片内输出参考 (REF_{OUT})		1.24		伏
模拟差分输入范围 (差分峰峰值)		1		伏
模拟输入共模		0.9		伏
模拟输入阻抗		8.4		千欧
V_D 电源电压	2.7	3	3.6	伏
V_{DD} 电源电压	2.7	3	3.6	伏
工作电流		46.6		毫安
功耗		140		毫瓦

交流规格

$V_{DD}=3V$, $V_D=3V$, 采样时钟为 100MHz, 模拟正弦信号输入幅度为-0.5dbFS, 使用片内参考, 温度为 25 摄氏度。

表 3 交流规格

参数		最小值	典型值	最大值	单位
		NTD8288	NTD8288	NTD8288	
信 噪 比 (SNR)	$f_{IN}=10.3MHz$	44	47.5		dB
	$f_{IN}=26MHz$				dB
	$f_{IN}=41MHz$				dB
信号与噪 声谐波比 (SNDR)	$f_{IN}=10.3MHz$	44	47		dB
	$f_{IN}=26MHz$				dB
	$f_{IN}=41MHz$				dB
有 效 位 (ENOB)	$f_{IN}=10.3MHz$	7.0	7.5		位
	$f_{IN}=26MHz$				位
	$f_{IN}=41MHz$				位
二次谐波	$f_{IN}=10.3MHz$	55	70		dB
	$f_{IN}=26MHz$				dB
	$f_{IN}=41MHz$				dB
三次谐波	$f_{IN}=10.3MHz$	55	60		dB
	$f_{IN}=26MHz$				dB
	$f_{IN}=41MHz$				dB

用户可选择工作模式

表 4 用户可选择工作模式

S1	S2	通道选通与数据对齐设定
0	0	AB 两通道都关断
0	1	A 通道正常工作，B 通道关断
1	0	AB 两通道都正常工作（不使用数据对齐功能）
1	1	AB 两通道都正常工作（使用数据对齐功能）

当 S1 设置为 1，S2 设置为 0 时，AB 两通道都正常工作，如果两通道输入相同的时钟，那么两通道的数字输出都在时钟上升沿，数据是对齐的。但是当两个通道的时钟不同的时候，那么两个通道的数字输出都在各自时钟的上升沿，此时数据是不对齐的。

当 S1 设置为 1，S2 设置为 1 时，AB 两通道都正常工作，如果两通道输入相同的时钟，此时，A 通道的数据输出仍在时钟的上升沿，而 B 通道的数字输出被延后了半个时钟周期，B 通道的数字输出在 B 通道时钟的下降沿，数据是不对齐的。但是当两个通道的时钟不同的时候，而且两个时钟相位相差 180° 时，B 通道的数字输出被延后了半个时钟周期，那么两个通道的数字输出都在 A 通道时钟的上升沿，此时数据是对齐的。

工作时序

本产品的流水线延迟（Pipeline Delay）为 4 个时钟周期。时序图如下图所示。

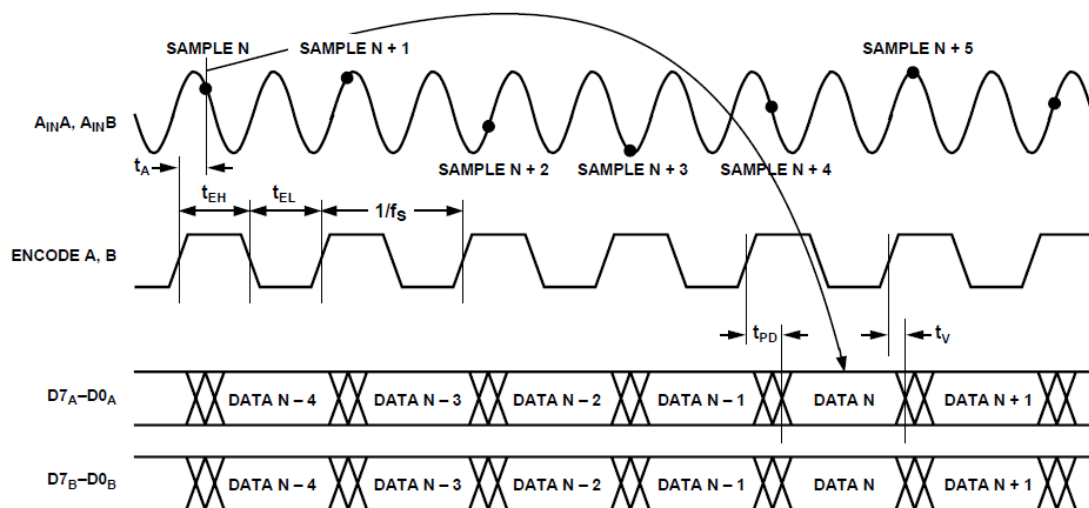


图 3 两通道时钟相同（S1=1，S2=0）时的通道时序

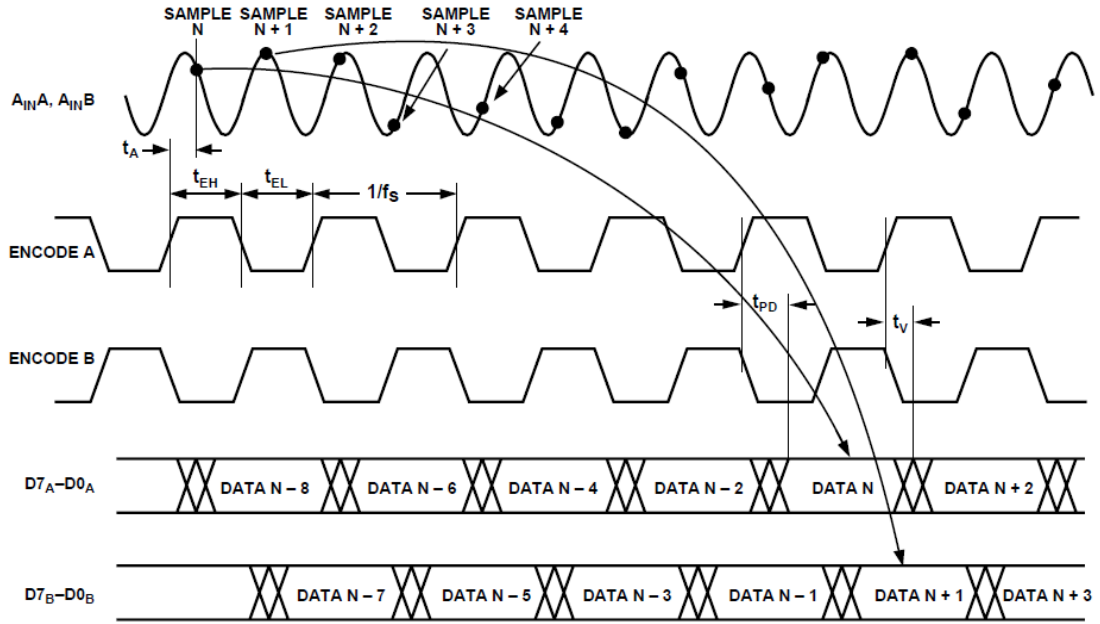


图 4 两通道时钟不相同 (S1=1, S2=0) 时的通道时序

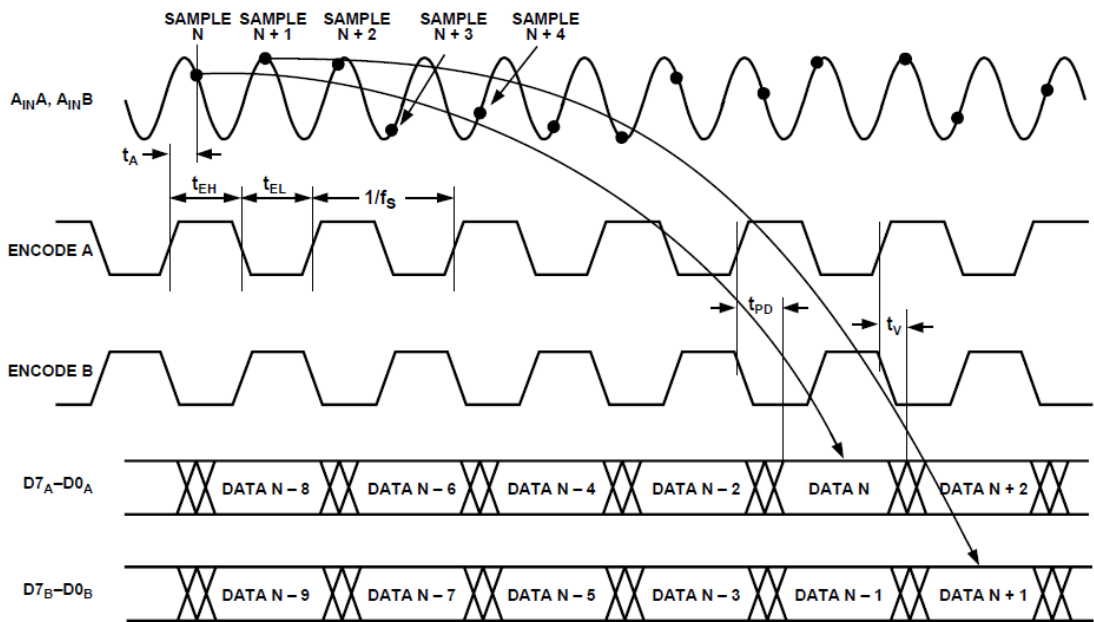


图 5 两通道时钟不相同, 使用数据对齐功能 (S1=1, S2=1) 时的通道时序

ADC 的模拟输入

ADC 芯片中的输入等效电路如下图所示, 从图中可以看出输入信号可以被自动偏置在 $0.3V_D$ 。

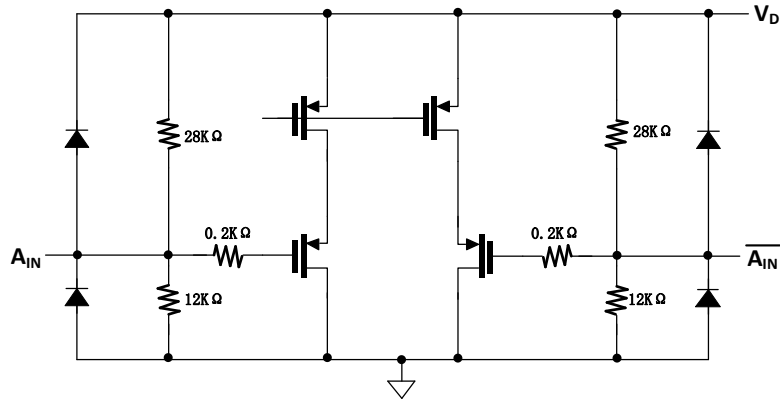


图 6 ADC 芯片中的输入端等效输入电路

下图为 BALUN 驱动的情况。

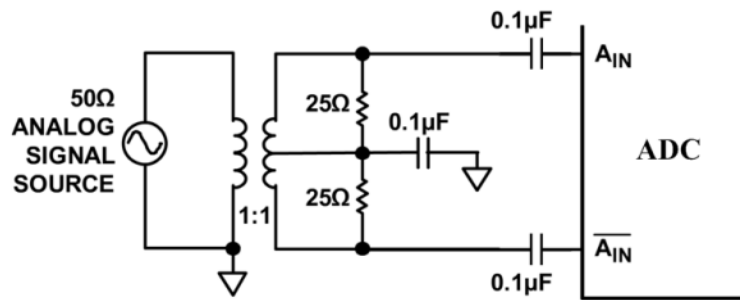


图 7 BALUN 驱动 ADC

下图为 AD8138 驱动的情况。

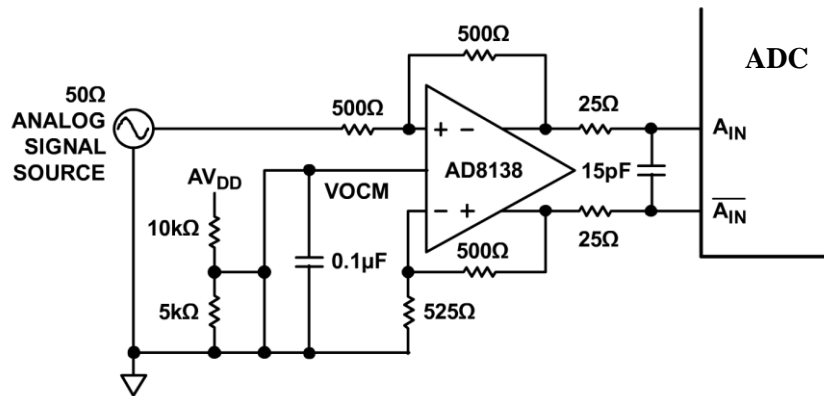


图 8 AD8138 驱动 ADC

封装形式

本产品采用 LQFP-48 封装，封装尺寸如下所示（图中尺寸单位为毫米）：

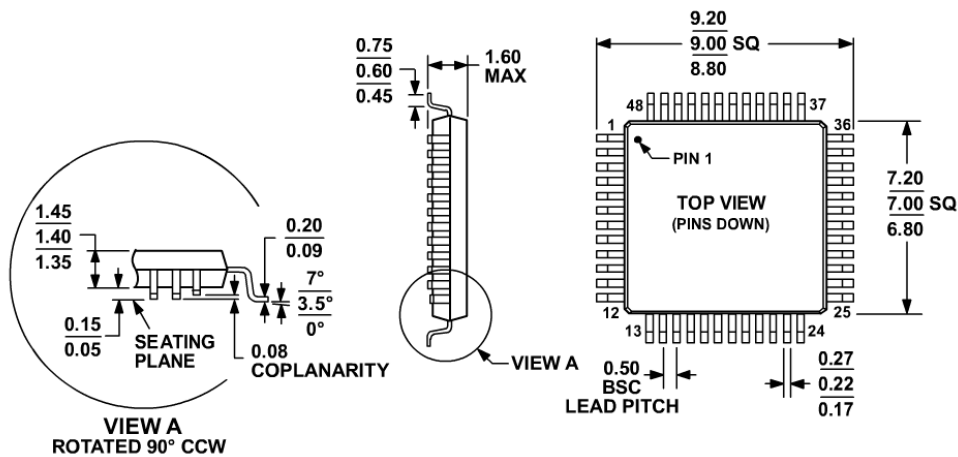


图 9 LQFP-48 封装尺寸

测试板的原理和使用介绍

如图 10 所示，我们为用户提供了用于本产品性能测试的评估板。

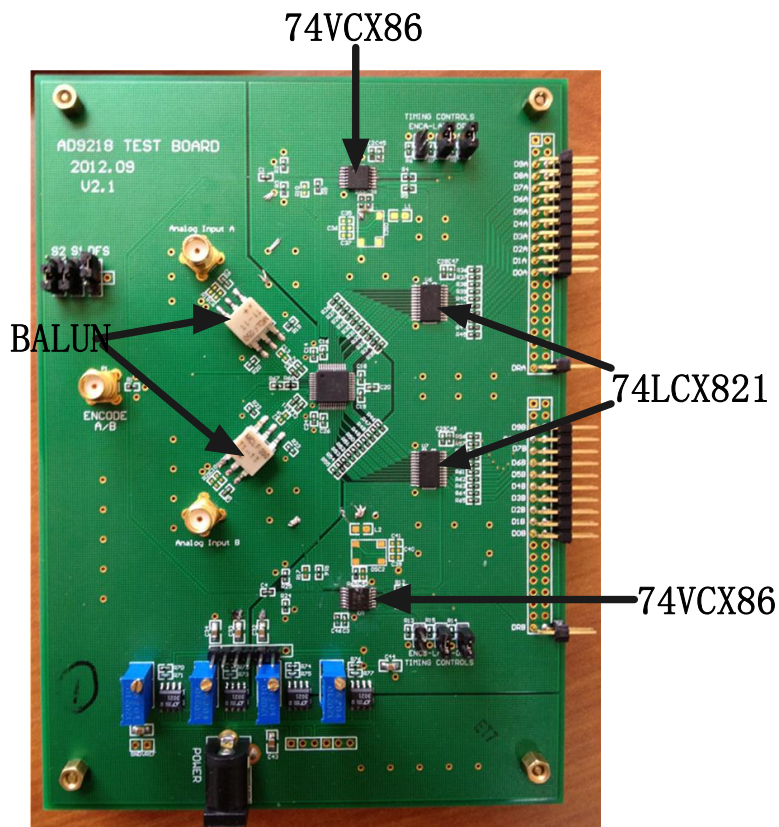


图 10 ADC 性能评估板

电源

电路板下端的黑色插头“POWER”即为电源输入，输入 5V 直流电源。电源输入后用四路 LDO 产生电路板所需的四路电源电压，四路电源电压都可以通过蓝色的可调电阻来调节电压大小。

四路电源从左到右依次为 V_D 、 V_{DD} 、 V_{DL} 、 V_{DO} 。

V_D 为 NTD8288 的模拟电源输入，设定为 3V。

V_{DD} 为 NTD8288 的数字电源输入，设定为 3V。

V_{DL} 为数字芯片“74VCX86”和“74LCX86”的电源输入，设定为 3V。

V_{DO} 为晶振的电源输入，目前没有用到。

时钟

时钟输入通过 SMA 头“ENCODE A/B”输入，需要输入一个精准的正弦信号，正弦信号的频率即为时钟频率。正弦信号通过异或门芯片 74VCX86 后就成了方波时钟。每个 74VCX86 芯片有三路输出，一路给 ADC 时钟，一路给到后面的数字 buffer 芯片“74LCX821”作为 buffer 芯片的时钟，第三路给到插针“DRA”作为后续数字信号采集的时钟。

因为高速 ADC 对时钟抖动非常敏感，所以要求提供的时钟抖动很小，所以，要把输入正弦信号的振幅加大以便 ADC 得到的时钟抖动很小。（请注意正弦信号的振幅不能过大，以防止异或门芯片 74VCX86 烧毁，一般正弦信号的振幅不能超过 3.2V，也就是正弦的峰峰值不能超过 6.4 伏。）

模拟输入

ADC 芯片的模拟输入通过 SMA 头“Analog Input A”和“Analog Input B”输入，分别为两个通道的模拟输入。信号经过 SMA 头输入后经过 Balun 芯片（T1-1T-KK81）转换成差分信号，差分信号输入 ADC 的模拟输入端。SMA 头和 Balun 芯片之间通过一个 0.1uF 电容连接，Balun 的两个输出端通过 0.1uF 的电容后接入 ADC 芯片。Balun 的两个输出端各接一个 25 欧姆的电阻连接到 GND。

请注意，模拟输入端需要接入一个高质量的正弦信号，而且要加滤波器。

数字输出

每路数字输出都经过一个 50 欧姆电阻接到数字 buffer 芯片 74LCX821（D 触发器），数字信号 buffer 芯片输出后经过一个 50 欧姆电阻接到插针输出。

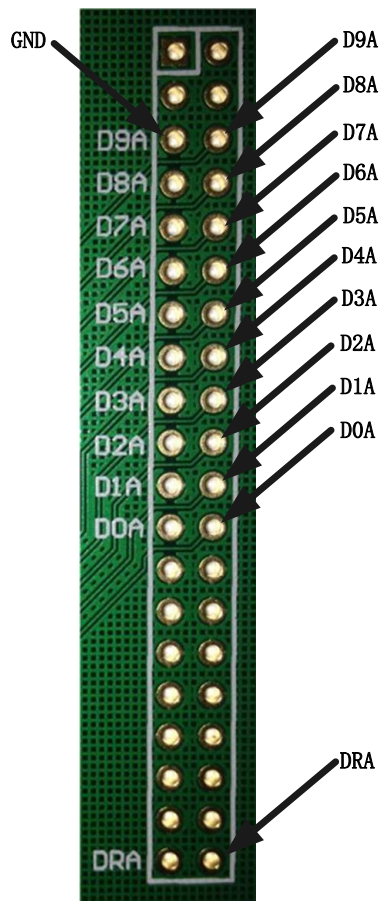


图 11 数字输出分布

请注意，插针的信号排布，如上图所示，左边一竖列全部为 GND，右边一列如图中所示为数字输出和时钟输出信号。A 通道的数字输出和 B 通道输出的排布相同。

时序调整

对于两个通道，每个通道都设有时序控制“TIMING CONTROLS”三个跳线端口，分别控制三路时钟（ADC 时钟，数字 buffer 时钟，输出时钟）的相位。如前所述，三路时钟都是异或门产生，而 TIMING CONTROLS 的三个跳线端就分别控制着三个异或门的一端。不连接跳线时，产生该路时钟的异或门一端接低电平，连接跳线器时接高电平。

所以每个跳线器都能改变响应的时钟的相位。当数据采集板无法正确的采集数据时，应该尝试改变一下这三路时序。

当测试出现了异常

- (1) 检查各路电源电压是否正确。
- (2) 检查 S1、S2、DFS 是否连接正确。
- (3) 尝试先把时钟调整到 20MHz，输入信号调整到 1MHz，看看功能是否正确。
- (4) 如果性能偏低，试着提高正弦时钟信号振幅，但是注意振幅不能过大而使得后面的 74VCX86 异或门芯片被破坏。
- (5) 尝试通过调整 TIMING CONTROLS 的跳线来调整时序。

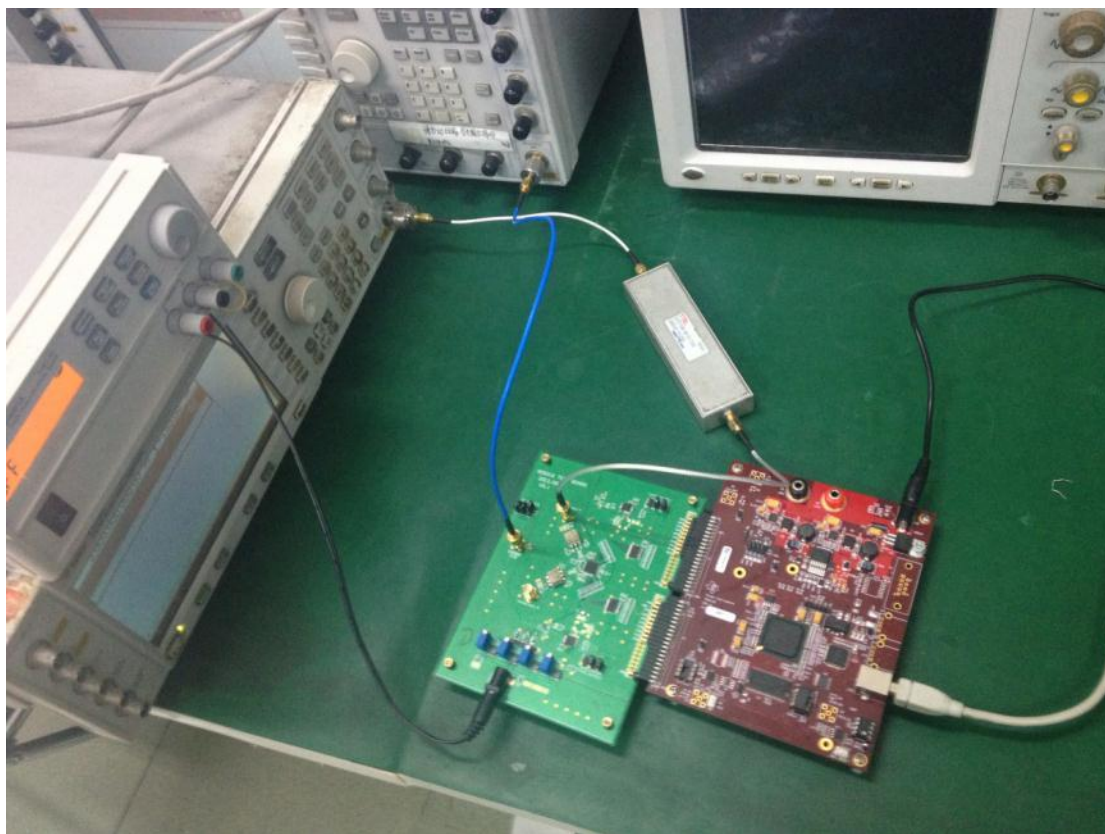


图 12 实际测试情况

北京简约纳电子有限公司

010-5126698-196

13693692309

QQ 3275938771

lindalee@simplnano.cn